

3 Digitale Bauelemente

Ziele:

1. Funktionen digitaler Grundelemente
2. Technologische Realisierung
3. wichtigste Eigenschaften

Stichworte: Logikfamilien, CMOS, TTL, ECL, Leistungsaufnahme, Pegel, Geschwindigkeits-Leistung-Produkt, Störspannungsabstand, Fan-Out, MOSFETs, Open-Collector, Pullup- & Pulldown-Widerstände...

Lehrbücher:

1. U. Tietze, Ch. Schenk, E Gamm, Halbleiterschaltungstechnik, [1]
2. P. Horowitz, W. Hill, The Art of Electronics, [2]
3. E. Hering, K. Bressler, J. Gutekunst, Elektronik für Ingenieure, [3]

3.1 Einführung

Begriff digitale Bauelemente:

- ermöglichen Boolesche Algebra
- dienen der Verarbeitung digitaler Signale
- meist digitale Ausgangspegel
- meist digitale Eingangspegel

Realisierung:

- digitale Gatter (Gates)
- heute: integrierte Schaltkreise (ICs)
 - mehrere Bauelemente auf einem Chip
 - Flip-Flop, Jack Kilbey, Hybridschaltkreis, 1958
 - erster monolithischer Schaltkreis von Robert Noyce, Patent 1959
 - Planar-Technologie, Fotolithografie
- erste ICs:
 - wenige AND- und OR-Gatter
 - funktionelle Vollständigkeit: NAND-Gatter (NOR)
 - alle booleschen Funktionen lassen sich durch NAND- oder NOR-Gatter darstellen

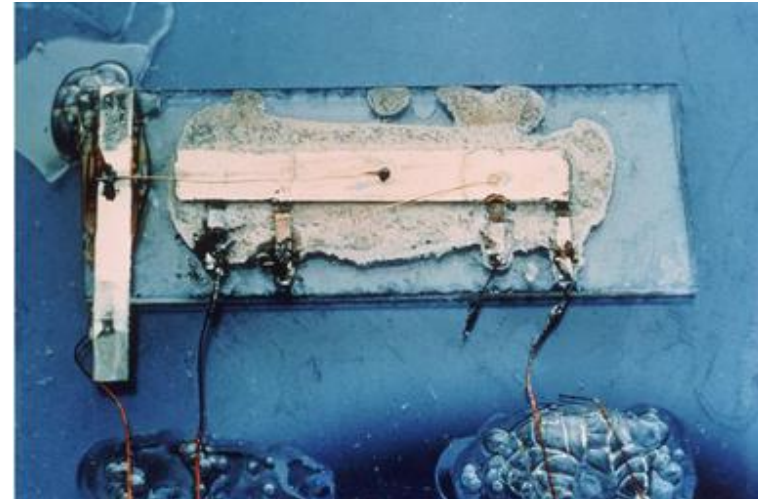


Abb. 3.1: Erster IC von Jack Kilby. Quelle Wikipedia.

Integrationsdichten:

- SSI, small scale integration
 - wenige Transistoren
 - z.B. nur 2 Transistoren bei SL201 & TAA320
- MSI, medium scale integration
 - einige hundert Transistoren
 - Begriff geht auf Rolf Landauer zurück
- LSI, large scale integration
 - einige tausend Transistoren
 - ab etwa 1970
 - kompletter Prozessor auf einem Chip
- VLSI, very large scale integration
 - ab 1980
 - RAM mit 1 MBit möglich
- ULSI, ultra large scale integration
 - ab Ende der 80er
 - z.B. Intel 8086
 - heute: mehr als 25 Mio. Transistoren/mm²
 - Abmessungen der Transistoren um 10 nm (2017)
 - International Roadmap for Devices and Systems
<https://irds.ieee.org/reports>

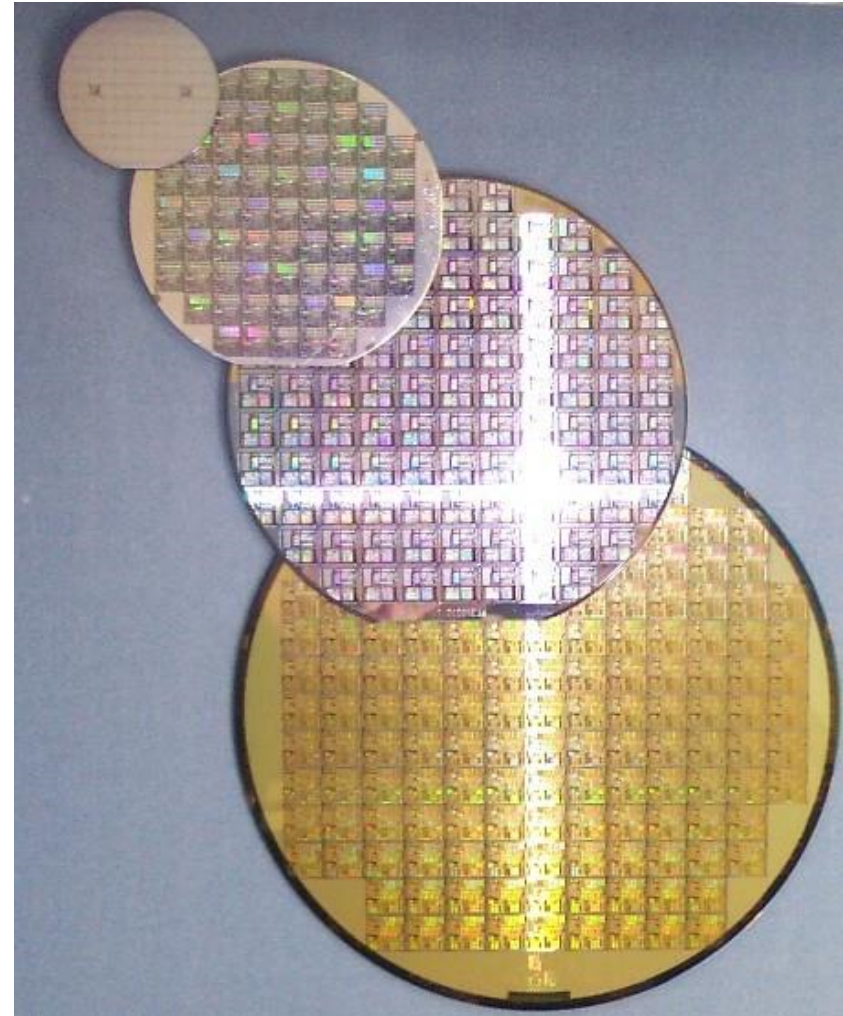


Abb. 3.2: Strukturierte Wafer mit Durchmessern von 2 Zoll bis 200 mm. Quelle: Wikipedia, GNU.

3.2 Logikfamilien

- schaltungstechnische Umsetzung einer Logik
- jede Familie hat spezifische Eigenschaften:
 - Pegelhöhe und Versorgungsspannung
 - Störabstand
 - Gatterlaufzeit / maximale Frequenz
 - Leistungsaufnahme

Veraltete Familien:

1. Widerstand-Transistor-Logik (RTL)
2. Dioden-Transistor-Logik (DTL)
3. Langsame Störsichere Logik (LSL), Pegel 15 V

Heute wichtige Familien:

1. CMOS, complementary metal oxide semiconductor ⇐
2. TTL, transistor-transistor logic ⇐
3. STTL, Schottky TTL ⇐
4. LSTTL, low-power Schottky TTL
5. HC TTL, high speed TTL
6. FAST TTL, Fairchild advanced TTL
7. ECL, Emitter coupled logic ⇐

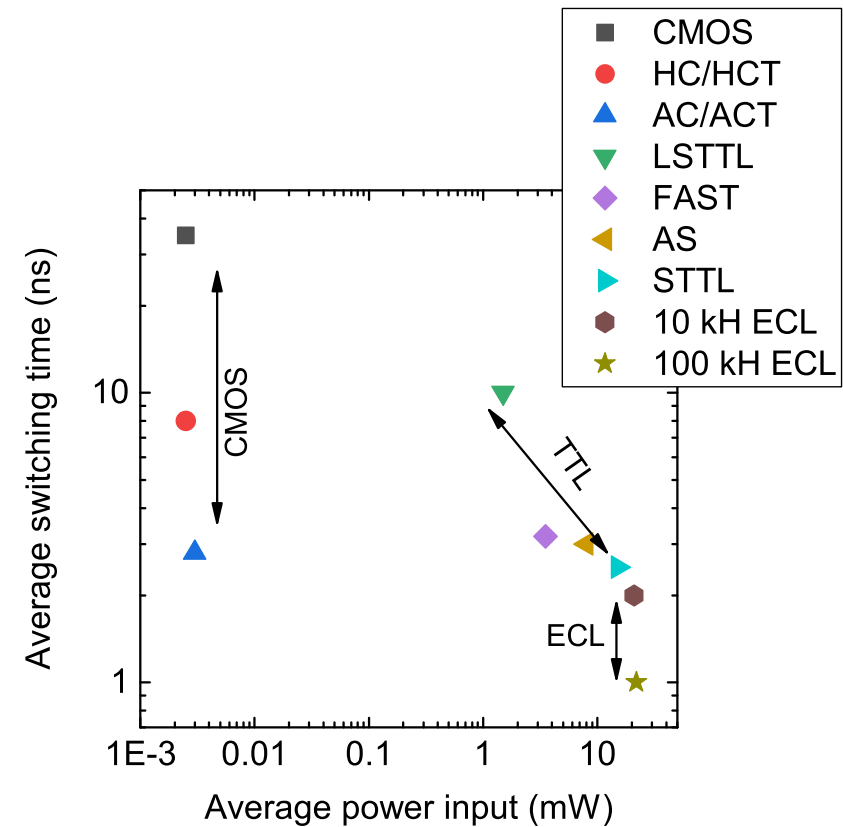


Abb. 3.3: Leistungsdissipation pro Gatter für ELC-Logik, diverse TTL-Unterfamiliein, CMOS, Low-voltage CMOS (LVC) und für Advanced ultra-low-voltage CMOS (AUC). Quelle: Ref. [3].

	CMOS	TTL	LSTTL	HC CMOS	STTL	FAST TTL	ECL
Propagation Delay (ns)	35	10	8	8	4	3	1
Flip-flop toggle freq. (MHz)	7	15	30	50	75	100	500
Power (mW)	10 E-6	10	2	25 E-6	20	4	25

Tab. 3.1: Typische Kennzahlen nach [3].

3.2.1 Leistungsaufnahme

TTL:

- Bipolar-Transistoren
- Schalten: Stromänderung
- hohe Ruheleistungsaufnahme (typisch mW), quiescent power

CMOS:

- dominiert IC-Technologie
- Feldeffekt-Transistoren, Gate-Isolator: Oxid
- geringe Ruheleistungsaufnahme (typisch nW)
- Schalten: Spannungsänderung am Gate
- beim Schalten:

$$P = CV^2f \quad \text{mit Frequenz } f \quad (1)$$

Geschwindigkeits-Leistungs-Produkt:

- speed-power-product (*SPP*)
- Angabe üblicherweise in pJ / Gatter
- (Landauer-Prinzip: $E_{min} = k_B T \ln 2 \approx 4 \times 10^{-21} \text{ J}$)

Familie	HC/HCT	CMOS	TTL	FAST	STTL	LSTTL
<i>SPP</i> (pJ)	0.18	0.25	150	255	283	363

Tab. 3.2: Geschwindigkeits-Leistungs-Produkt der Logikfamilien. Daten aus Ref. [3]

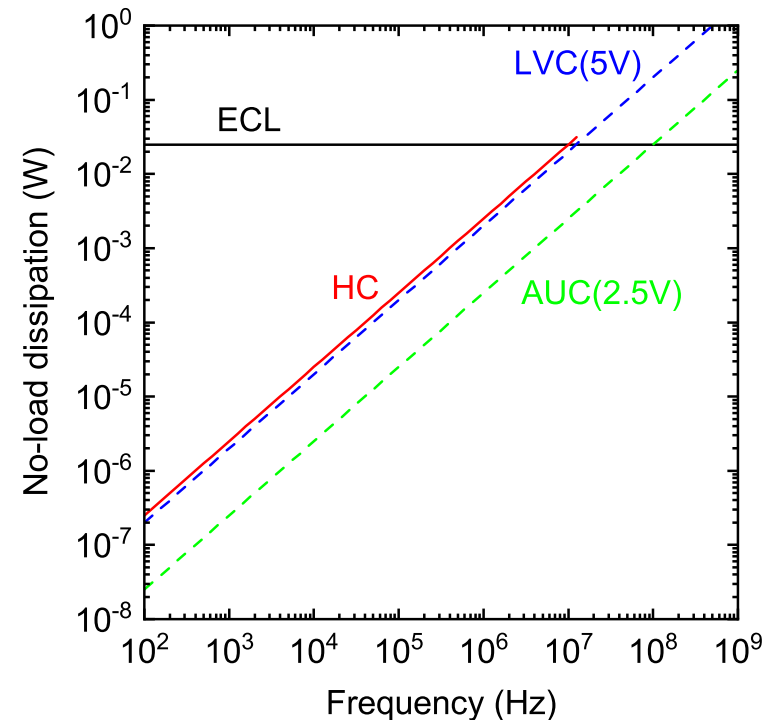


Abb. 3.4: Leitungsdissipation pro Gatter für ELC-Logik, HC-CMOS, Low-voltage CMOS (LVC) und für Advanced ultra-low-voltage CMOS (AUC). Quelle: Ref. [2].

3.2.2 Versorgungsspannungen & Logikpegel

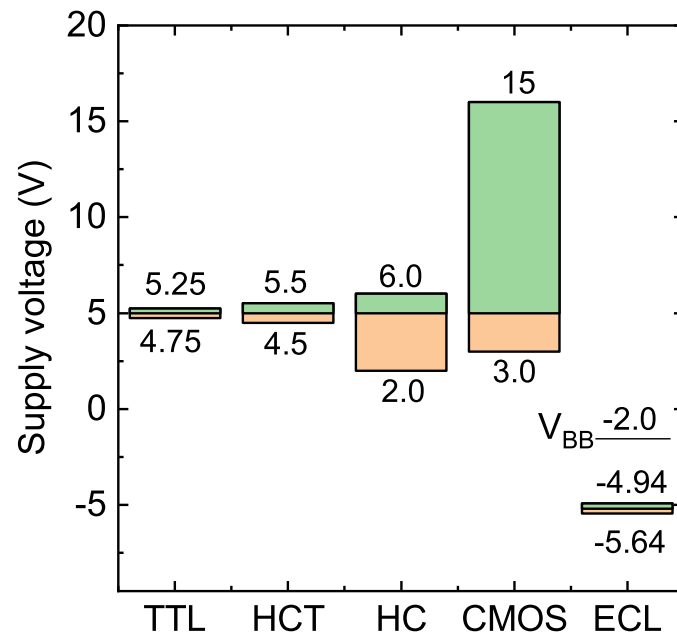


Abb. 3.5: Versorgungsspannungen für verschiedene Logikfamilien. Nach Ref. [3].

Benennung der Versorgungsspannungen:

	BJT	FET	oder allgemeiner
positive supply voltage	V_{CC}	V_{DD}	V_+
negative supply voltage	V_{EE}	V_{SS}	V_-

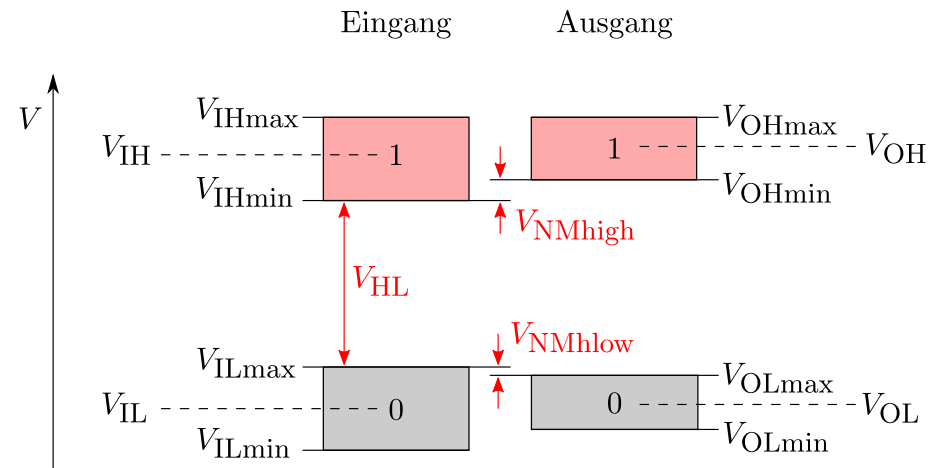


Abb. 3.6: Zur Definition der Pegel und Spannungsabstände. Nach Ref. [3].

Pegel und Spannungsabstände:

V_{IH} & V_{IL}	nominelle Eingangsspannungen
V_{IHmax} & V_{IHmin}	Eingangsbereich für High oder 1
V_{ILmax} & V_{ILmin}	Eingangsbereich für Low oder 0
V_{OH} & V_{OL}	nominelle Ausgangsspannungen
V_{OHmax} & V_{OHmin}	Ausgangsbereich für High oder 1
V_{OLmax} & V_{OLmin}	Ausgangsbereich für Low oder 0
V_{HL}	Störspannungsabstand
V_{NMhigh} & V_{NMlow}	Rauschspannungsabstände (noise margin)

3.2.3 Kombinationen von Familien

Zu beachten:

- Pegel, s. Tab. 3.3
- Ausgangsstrom
- Fan-Out

$$\text{Fan-Out} = \frac{I_{O\max}}{I_{I\max}} \quad (2)$$

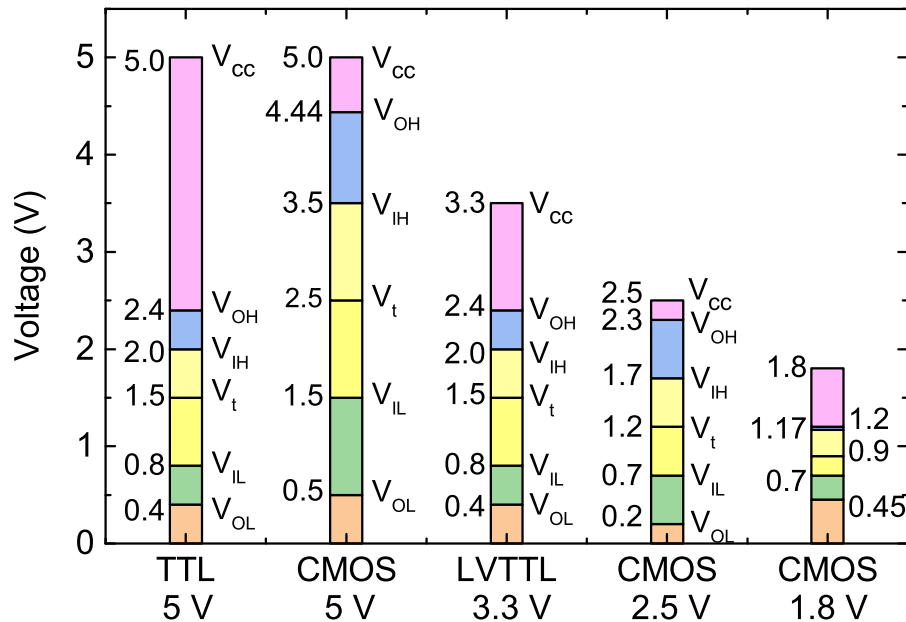


Abb. 3.7: Pegel verschiedener Familien. Nach Texas Instruments, Logic guide, Ref. [4].

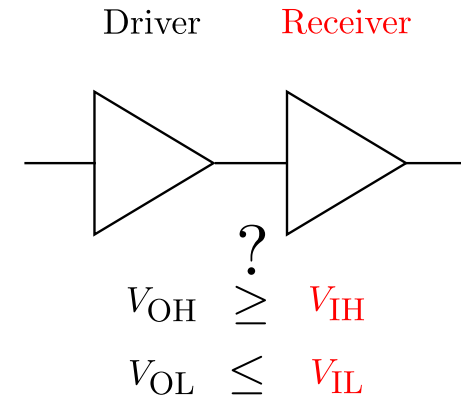


Abb. 3.8: Anforderung an die Pegel. Nach Texas Instruments, Logic guide, Ref. [4].

D - R	5V TTL	5V CMOS	3.3V LVTTTL	2.5V CMOS	1.8V CMOS
5V TTL	Yes	No	Yes*	Yes*	Yes*
5V CMOS	Yes	Yes	Yes*	Yes*	Yes*
3.3V LVTTTL	Yes	No	Yes	Yes*	Yes*
2.5V CMOS	Yes	No	Yes	Yes	Yes*
1.8V CMOS	Yes	No	No	No	Yes*

Tab. 3.3: Erfüllung von $V_{OH} \geq V_{IH}$ und $V_{OL} \leq V_{IL}$. Der Stern kennzeichnet Kombinationen, die nur im Toleranzbereich möglich sind. Nach Texas Instruments, Logic guide, Ref. [4].

3.3 Widerstand-Transistor-Logik, RTL

Vorweg: heute unbedeutend

- 1950er Jahre
- Entwickelt von TI für Feldseismik
- verwendet: Apollo guidance computer, Erstflug 1966

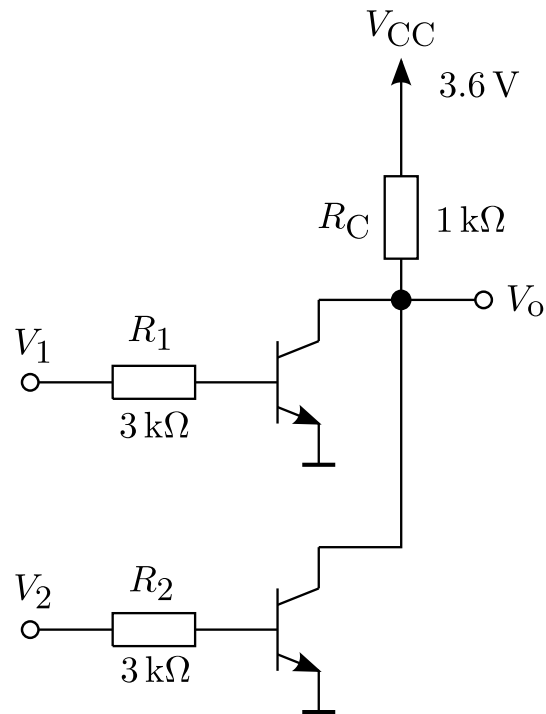


Abb. 3.11: NOR-Gatter in RTL-Technik. Quelle Wikipedia.

Funktion:

- High-Pegel an V_1 oder V_2
- \Rightarrow entsprechender Transistor wird leitend
- \Rightarrow Ausgang V_o wird auf Low gezogen

Typisch:

- MC717
- Verlustleistung: 7 mW
- Schaltzeit $t_{pD} \approx 25\text{ ns}$
- geringes Fan-Out ≈ 3

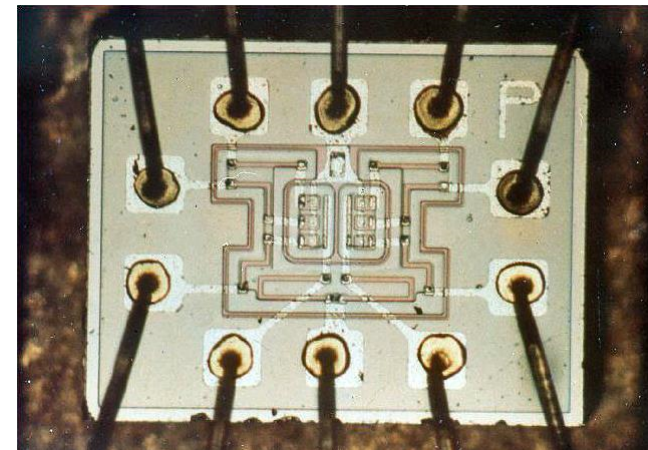


Abb. 3.12: Dual NOR-Gatter für den Apollo Guidance Computer. Quelle Wikipedia.

3.4 Dioden-Transistor-Logik, DTL

Vorweg: heute unbedeutend

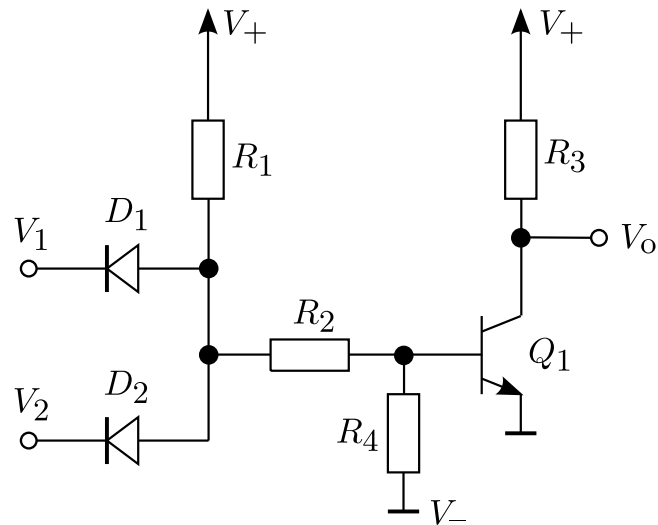


Abb. 3.13: NAND-Gatter in DTL-Technik. Quelle Wikipedia.

V_1	V_2	V_o
0	0	1
1	0	1
0	1	1
1	1	0

Tab. 3.4: Wahrheitstafel für NAND.

Funktion:

- wenn V_1 und V_2 beide High
 - D_1 und D_2 sperren
 - ausreichend Strom durch R_1 und R_2
 - Q_1 geht in Sättigung
 - $V_o \rightarrow \text{Low}$
- wenn entweder V_1 oder V_2 Low
 - entweder D_1 oder D_2 leitet (an Anode $V \approx 0.6 \text{ V}$)
 - R_2 und R_4 verhalten sich wie Spannungsteiler
 - Basisspannung an Q_1 nimmt ab
 - Q_1 sperrt
 - $V_o \rightarrow \text{High}$

Nachteil von DTL:

- Transistor geht in Sättigung \Rightarrow große Gatterlaufzeit, da die Basis geräumt werden muss.

3.5 Transistor-Transistor-Logik, TTL

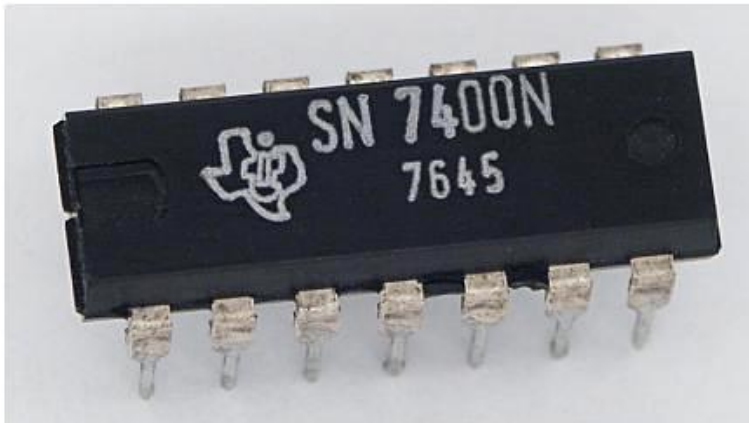
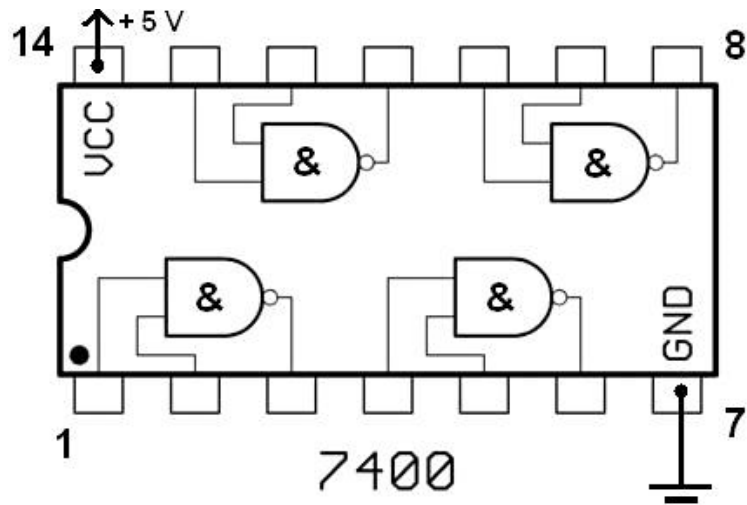


Abb. 3.14: Der legendäre SN7400N. Quelle Wikipedia.

Die 74xx-Reihe:

- seit 1966
- Bipolar-Technologie
- erstes Bauteil: 7400, 4 NAND-Gatter
- hunderte verschiedener Logik-Gatter, vom NAND bis Zählern etc.
- heute CMOS-Versionen der 7400-Serie
- Anwendungen: begrenzt auf sehr einfache Aufgaben

Andere Reihen: 4000er-Reihe, 4500er-Reihe, ...

Number	Description	year	V_{CC} (V)	t_{PD} (ns)	P (mW)
74	standard TTL	1966	4.75 - 5.25	10	10
74L	low-power	1971		33	1
74H	high-speed	1971		6	22
74S	high-speed Schottky	1971		3	20
74LS	low-power Schottky		4.75 - 5.25	10	2
74AS	adv. Schottky		4.5 - 5.5	1.7	8
74ALS	adv. low-power S.		4.5 - 5.5	4	1.2
74F	FAST, Fairchild	1978	4.5 - 5.5	3.4	6

Tab. 3.5: Standardisierte Bezeichnungen und wichtigste Kennzahlen.

Number	Units	Description	Subfamily
7400	4	quad 2-input NAND gate	HC/HCT
7401	4	quad 2-input NAND gate, open collector outputs	LS
7402	4	quad 2-input NOR gate	HC/HCT
7403	4	quad 2-input NAND gate, open collector outputs	HC/HCT
7404	6	hex inverter	HC/HCT
7405	6	hex inverter, open collector outputs	HC
...			
...			

Tab. 3.6: Auszug aus der Liste der 7400-ICs. Quelle: en.wikipedia.org.

3.5.1 Der 7400

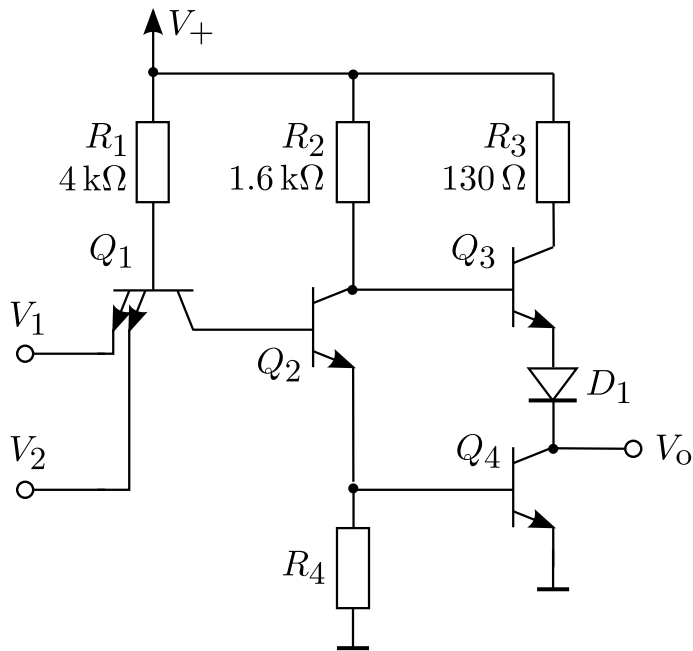


Abb. 3.15: Innenleben des SN7400.

Multiemitter-Transistor:

- mehrere Emitter-Anschlüsse
- Parallelschaltung mehrerer Transistoren mit zusammengefassten Kollektor- und Basisanschlüssen

Totem-Pole:

- auch Push-pull output, Class-B
- auch bei Gegentakt-Endstufe

Funktion:

- wenn V_1 oder V_2 auf Low liegt:
 - Sättigung des Dopelemmitter-Transistors Q_1
 - Pegel an Basis von Q_2 klein, Q_2 sperrt
 - Pegel an Basis von Q_3 groß, Q_3 durchgeschaltet
 - Q_4 sperrt
 - V_0 liegt auf High
 - Strombegrenzung des Ausgangs durch R_3
- wenn V_1 und V_2 auf High liegt:
 - Dopelemmitter-Transistor Q_1 sperrt
 - Pegel an Basis von Q_2 groß, Q_2 durchgeschaltet
 - Pegel an Basis von Q_3 klein, Q_3 sperrt
 - Q_4 ist durchgeschaltet
 - V_0 liegt auf Low
- Totem-Pole-Ausgang
 - es sperrt entweder Q_3 oder Q_4
 - Lastkapazitäten können schnell umgeladen werden
 - erlaubt gleiche Schaltzeiten für Anstieg und Abfall
 - Diode D_1 sichert das Sperren von Q_4 , wenn Q_3 leitet
- Q_1 in Basisschaltung:
 - keine Verstärkung
 - aber etwa 100 mal schneller als Emitterschaltung

Inside the SN7400, MuSim003003

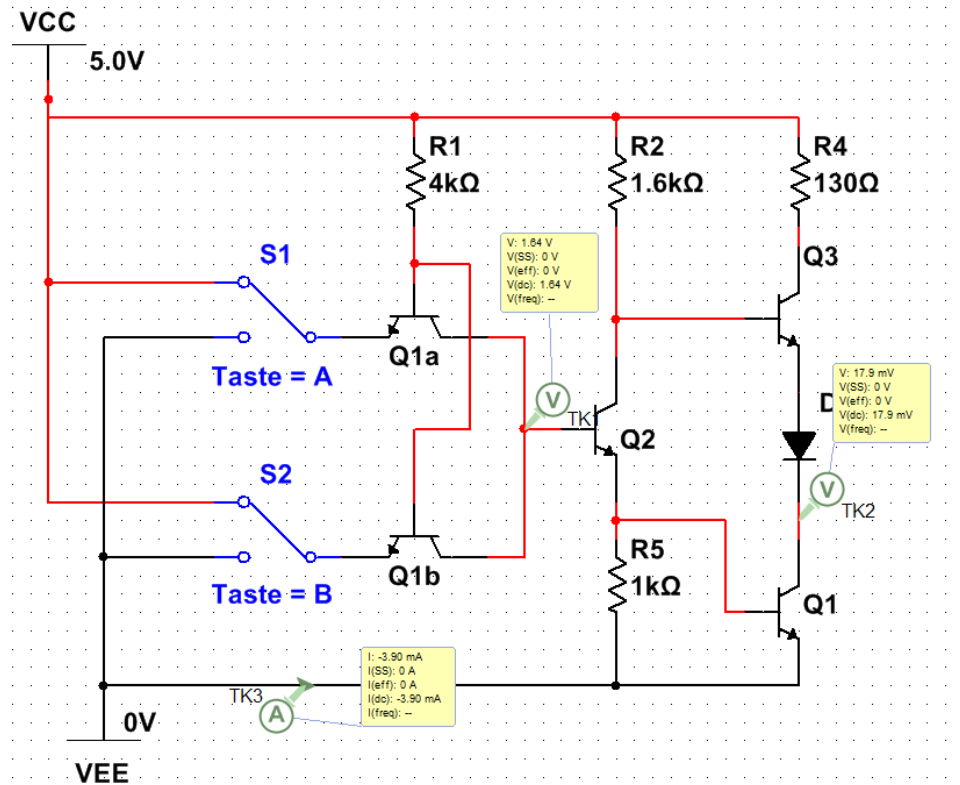


Abb. 3.16: Simulation zu den Abläufen im SN7400.

Beachte:

- sobald der Ausgang auf High liegt, fließt ein Strom von etwa 4 mA
- Leistungsaufnahme > 20 mW
- wenn der Ausgang auf Low liegt: 1 mA

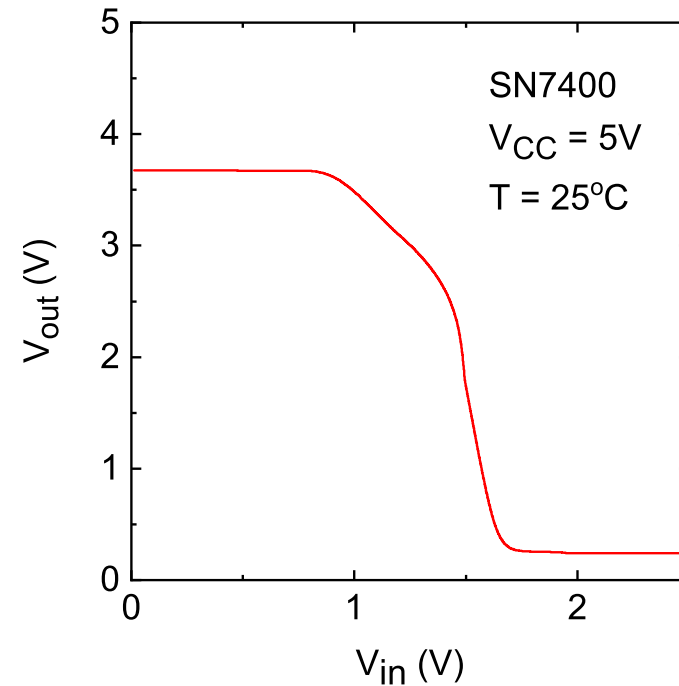


Abb. 3.17: Übertragungskennlinie. Quelle unbekannt.

Datenblätter: sn7400.pdf, sn74LVC08ADR.pdf

Bezeichnungen: s. szza036C.pdf, Ref. [2], S. 715

- SN74LVC08ADR
- SN: standard, Texas Instruments, MC: Motorola
- 74: commercial, (54: military, 84: industrial)
- LVC: family, low-voltage CMOS
- 08: funktion, 2-input AND
- ADR: 2500 parts, 14-pin SOIC (small-outline IC), -40°C – 125°C

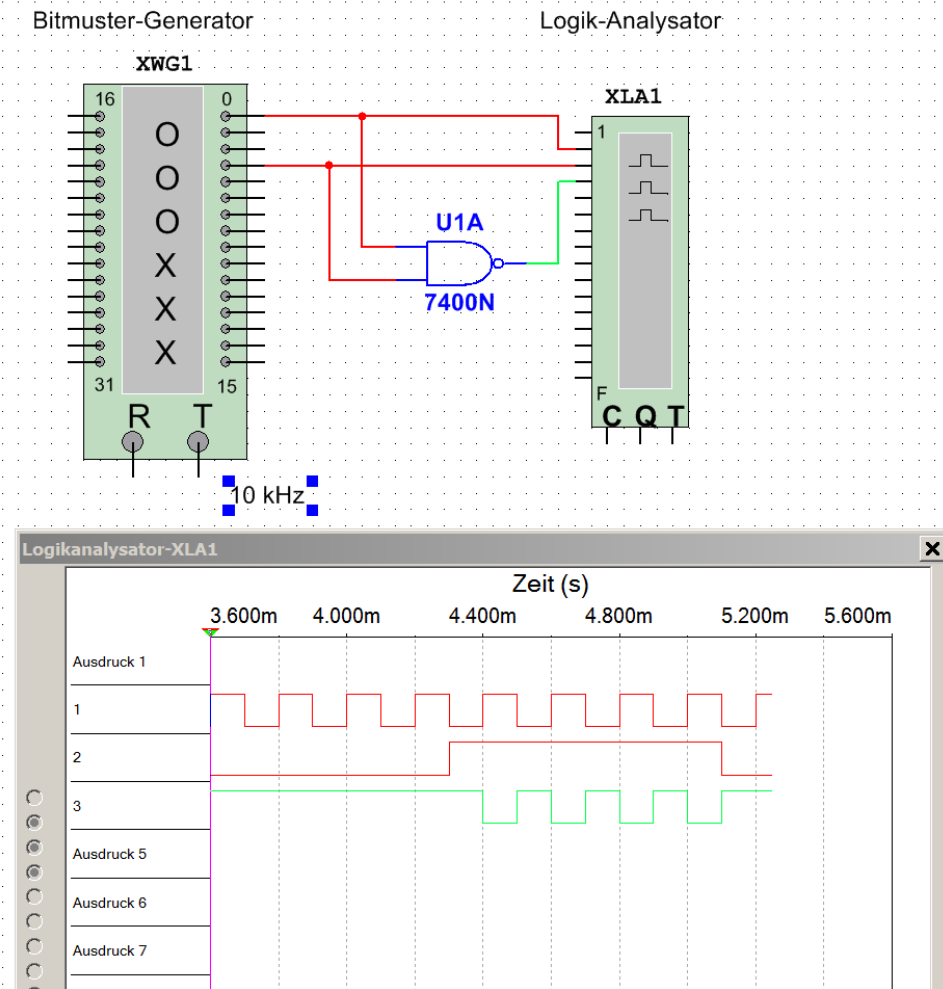
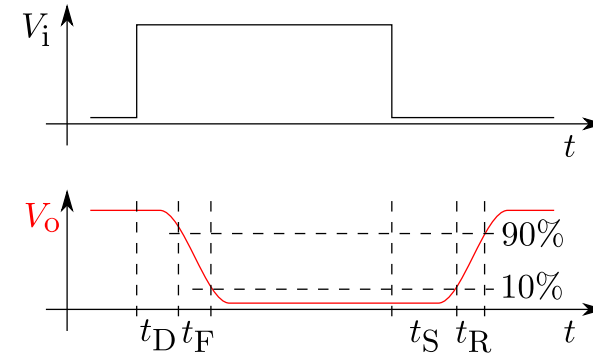


Abb. 3.18: Simulation zur Funktion des SN7400.

Gatterlaufzeit propagation delay time t_{PD} :

- Verzögerungszeit (delay time) t_D
- Fallzeit (fall time) t_F
- Speicherzeit (storage time) t_S
- Anstiegszeit (rise time) t_R

a) Measured



b) Simplification $t_{PD} = \frac{1}{2} (t_{PDL} + t_{PDH})$

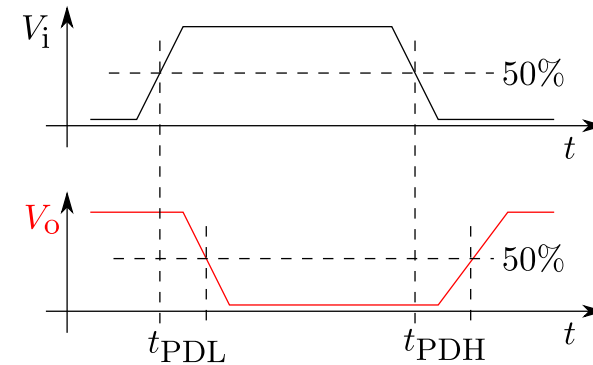


Abb. 3.19: Zum Schaltverhalten eines Gatters. Nach Ref. [1].

Propagation delay, MuSim003002

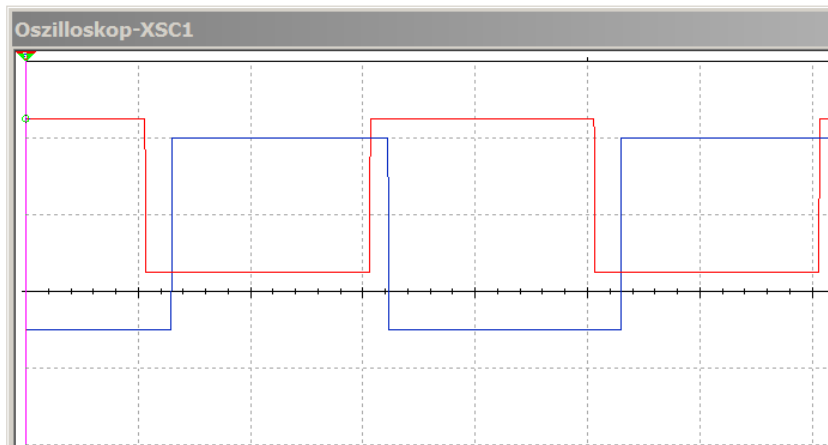
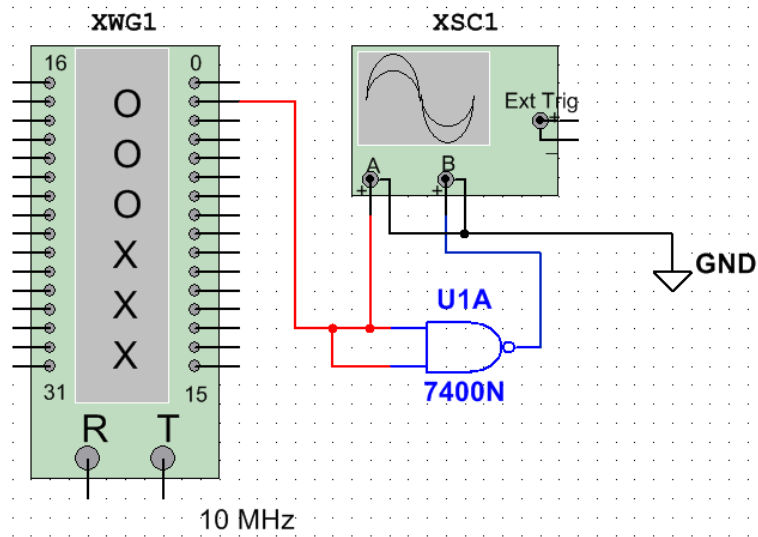


Abb. 3.20: Simulation zum Propagation-Delay.

Propagation delay, MuSim003004

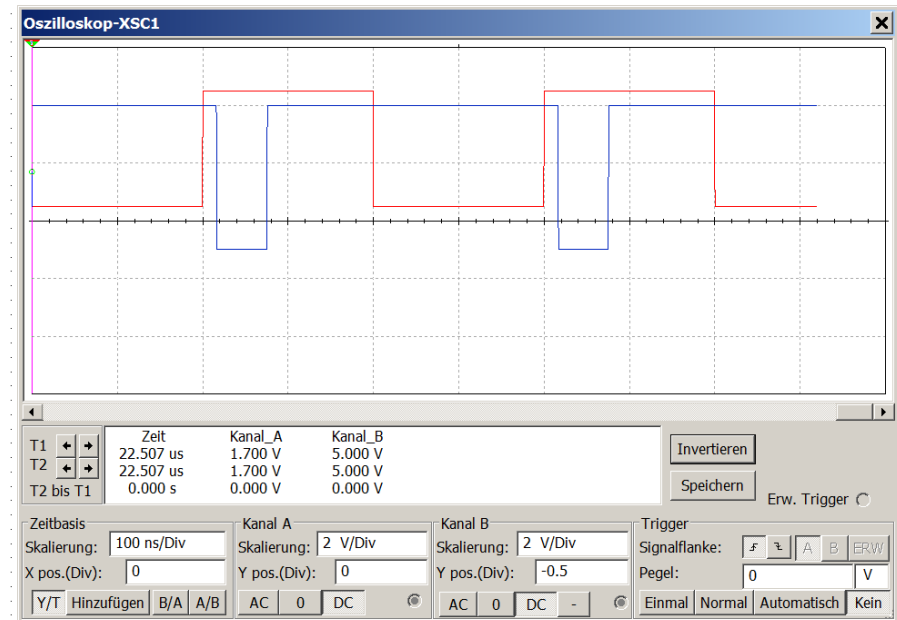
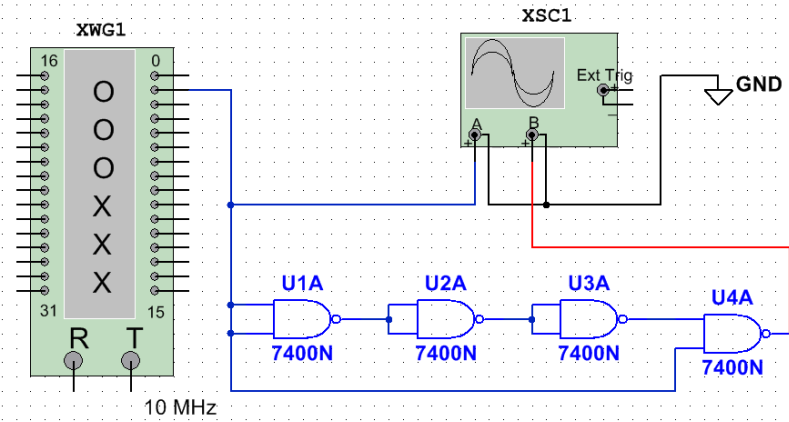


Abb. 3.21: Signale zeigen signifikante Verformung.

3.5.2 Schottky-TTL

Ein Nachteil konventioneller TTL:

- Transistor ist gesättigt
- deutlich größerer Basisstrom als nötig
- hierdurch große Ladungsmenge in der Basis gespeichert
- Schalten erfordert das Ausräumen der Basis
- große Ladungsmenge kostet Zeit

Ziel von Schottky-TTL: geringere Schaltzeiten

Strategie:

- Transistoren nicht in die Sättigung bringen
- durch Stromgegenkopplung:
 - mit $U_{BE} > 0 \uparrow$: Transistor öffnet sich langsam
 - Sättigung wäre bei $U_{BE} \approx 0.6 \text{ V}$
 - Schottky-Diode öffnet bei $U_D \approx 0.25 \text{ V}$
 - Umleitung des Basisstroms zum Kollektor
 - \Rightarrow Transistor gerät nicht in Sättigung
- keine große Ladungsmenge in der Basis
- schnellere Schaltzeiten als TTL

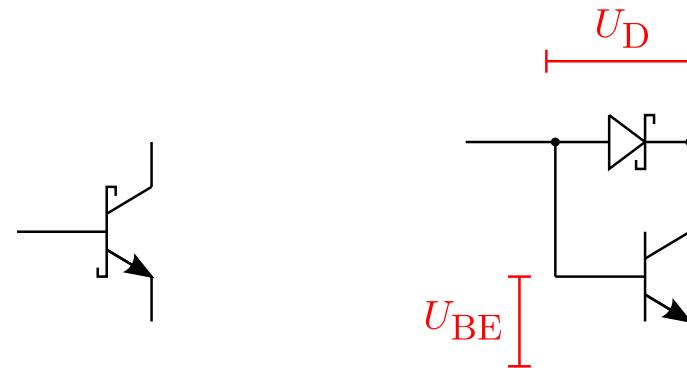


Abb. 3.22: Links: Schaltsymbol eines Schottky-Transistors, Rechts: innerer Aufbau.

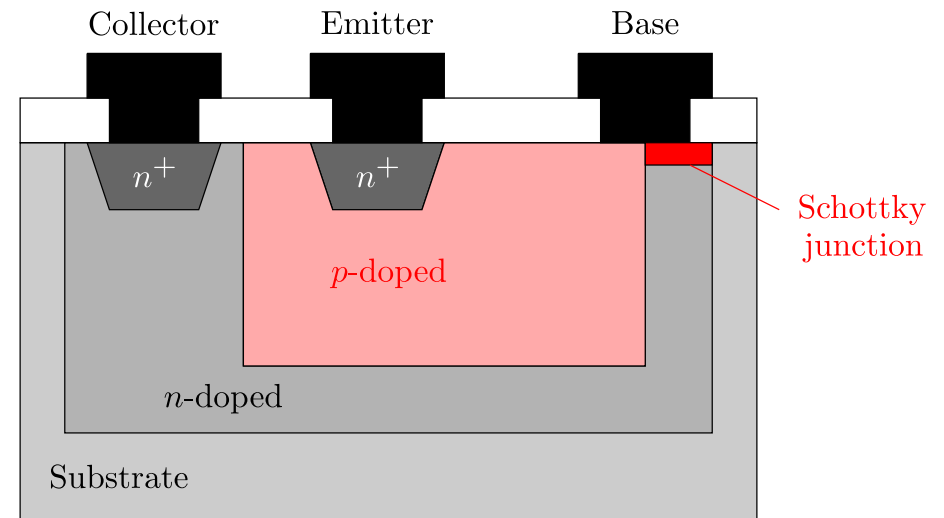


Abb. 3.23: Schema zum Aufbau eines Schottky-Transistors.

Einschub Schottky-Diode:

- Metall-Halbleiter-Übergang
- Gedankenexperiment: Ausgleich der Fermi-Energien

Potentiale:

$e\Phi_m$: Austrittsarbeit im Metall	work function
$e\Phi_s$: Austrittsarbeit im Halbleiter	work function
$e\chi_s$: Elektronen-Affinität im Halbleiter	affinity
$e\Phi_{Bn}$: Potentialbarriere (n-dotiert)	barrier height
eV_{bi}	: Eingebautes Potential	built-in potential

Typische Werte:

- Au: $\Phi_m = 4.7 \text{ eV}$
- Si: $\chi_s = 4.05 \text{ eV}$ (keine Bedeutung: $e\Phi_s$)

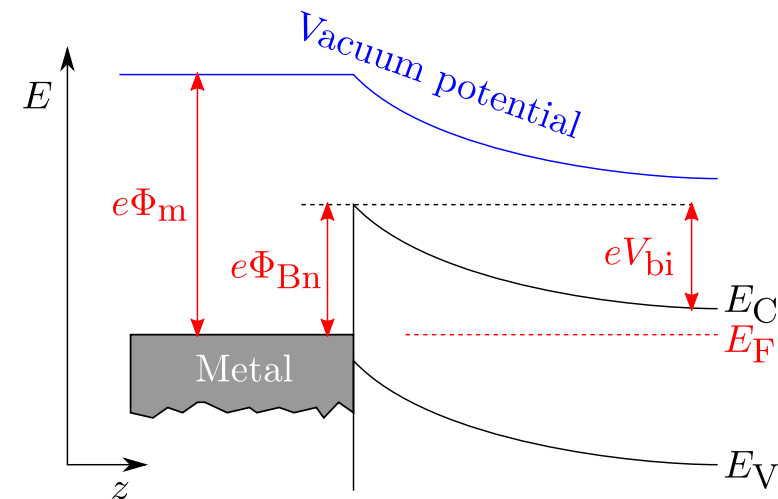
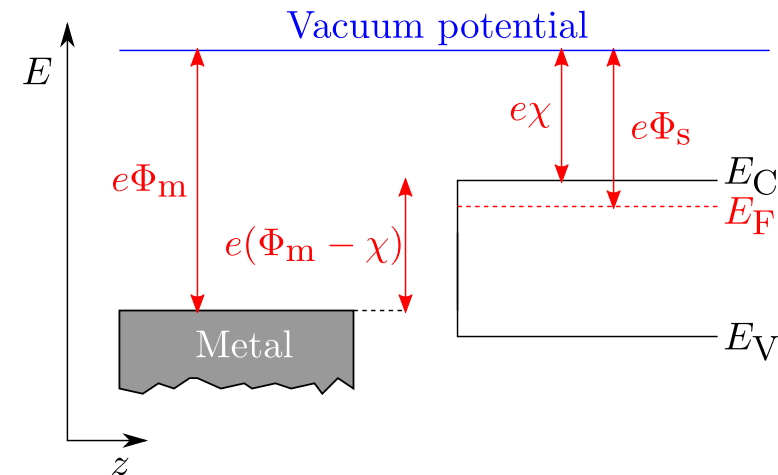
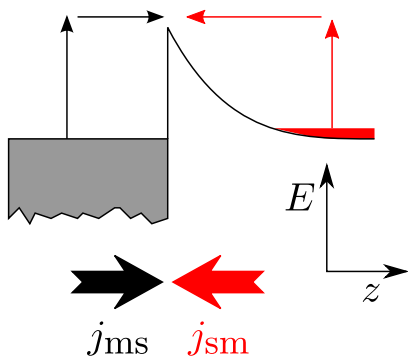


Abb. 3.24: Gedankenexperiment zu einer Schottky-Diode.

a) equilibrium

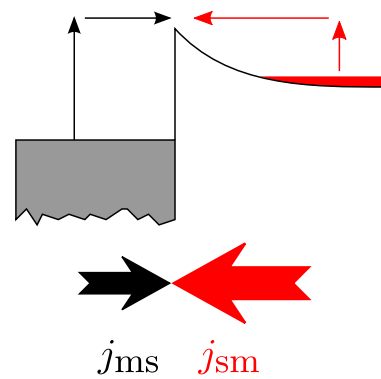


Shockley-Gleichung:

$$j = j_S \left[\exp \left\{ \frac{eV}{k_B T} \right\} + 1 \right] \quad (3)$$

mit angelegter Spannung V .

b) forward bias



c) reverse bias

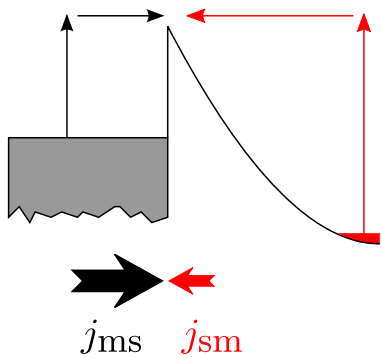
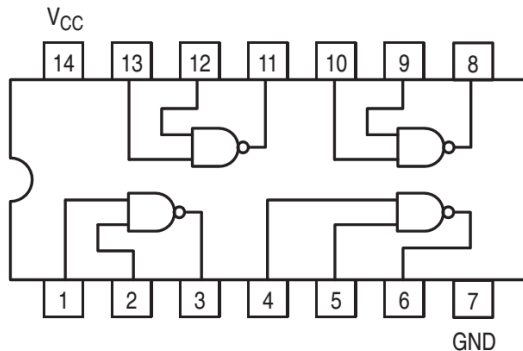


Abb. 3.25: Funktion einer Schottky-Diode.

Unterfamilien von Schottky-TTL:

- 74S: Schottky-TTL (S-TTL)
- 74LS: Low-Power-Schottky-TTL (LS-TTL)
- 74ALS: Adv.-Low-Power-Schottky-TTL (ALS-TTL)
- 74AS: Advanced-Schottky-TTL (AS-TTL)
- 74F: Fairchild-Advanced-Schottky-TTL (F-TTL)



GUARANTEED OPERATING RANGES

Symbol	Parameter	Min	Typ	Max	Unit
V_{CC}	Supply Voltage	4.75	5.0	5.25	V
T_A	Operating Ambient Temperature Range	0	25	70	°C
I_{OH}	Output Current – High			-0.4	mA
I_{OL}	Output Current – Low			8.0	mA

Abb. 3.26: Gehäuse und Kennzahlen des 74LS00 NAND-Gatters nach OnSemiconductor [5].

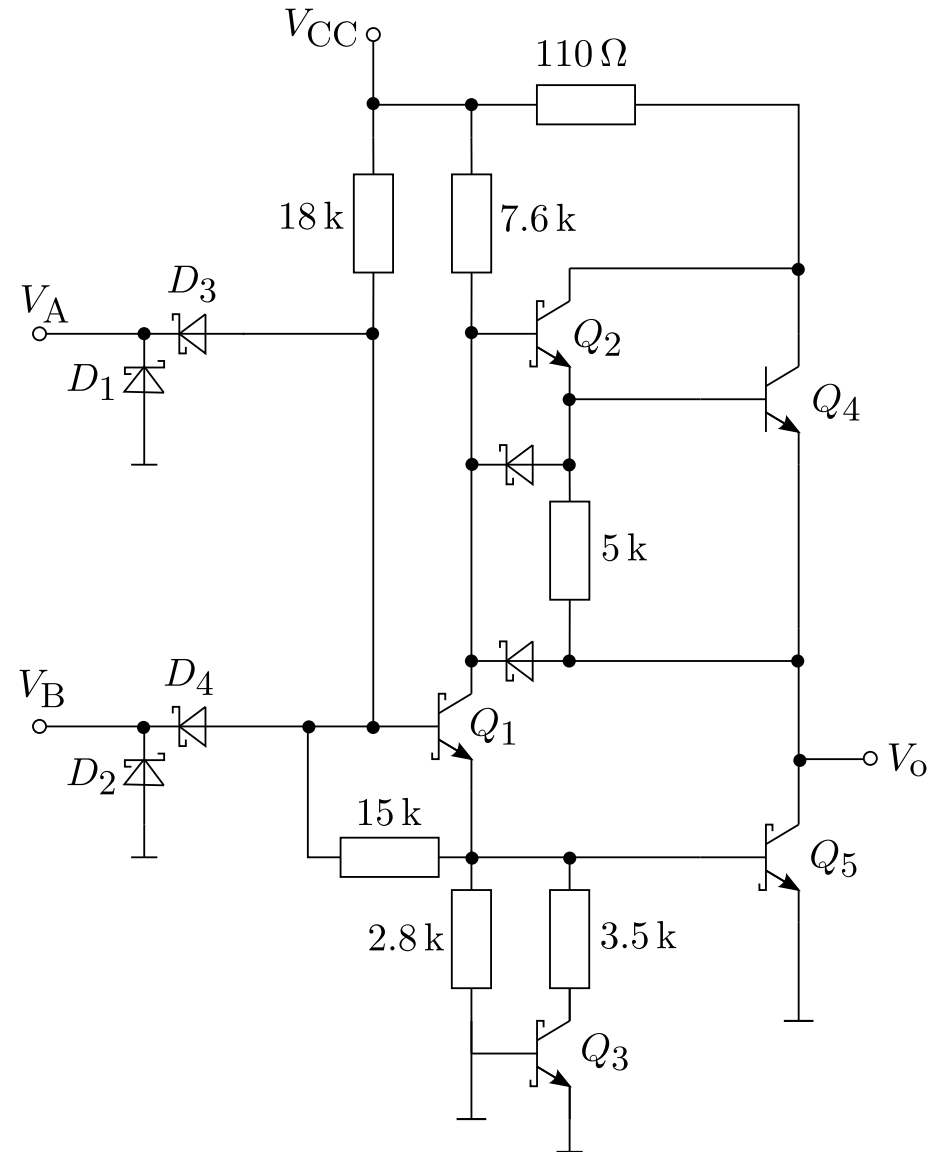


Abb. 3.27: Aufbau des 74LS00 NAND-Gatters nach OnSemiconductor [5].

Maximale Ausgangsströme



August 1986
Revised March 2000

DM74LS00 Quad 2-Input NAND Gate

General Description

This device contains four independent gates each of which performs the logic NAND function.

Recommended Operating Conditions

Symbol	Parameter	Min	Nom	Max	Units
V _{CC}	Supply Voltage	4.75	5	5.25	V
V _{IH}	HIGH Level Input Voltage	2			V
V _{IL}	LOW Level Input Voltage			0.8	V
I _{OH}	HIGH Level Output Current			-0.4	mA
I _{OL}	LOW Level Output Current			8	mA
T _A	Free Air Operating Temperature	0		70	°C

Abb. 3.28: Kennzahlen des 74LS00 NAND-Gatters.

Ausgänge des LS7400, MuSim003007

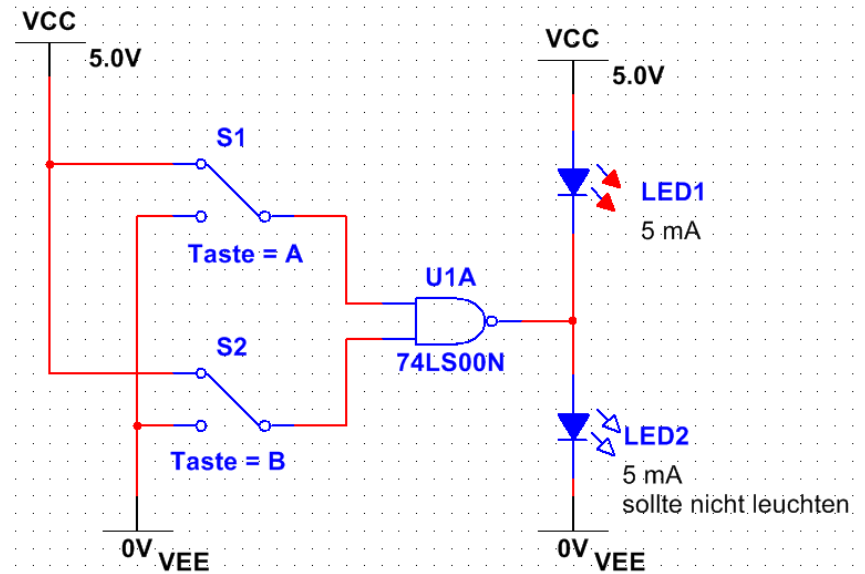


Abb. 3.29: Simulation zum 74LS00 NAND-Gatter.

Open-Collector Connection

- bisher: Spannung am Kollektor im Bereich

$$V_{EE} \leq V_o \leq V_{CC} \quad (4)$$

- Ziel: $V_{Dev} > V_{CC}$
- Gatter mit Open-Kollektor Ausgang
- Anwendung: Zusammenschalten von Schaltungsteilen, die auf verschiedenen Spannungsniveaus liegen
- Vorsicht: Maximalwerte für V_{CC} und I_E beachten

Bei MOSFETs analog: open-drain connection

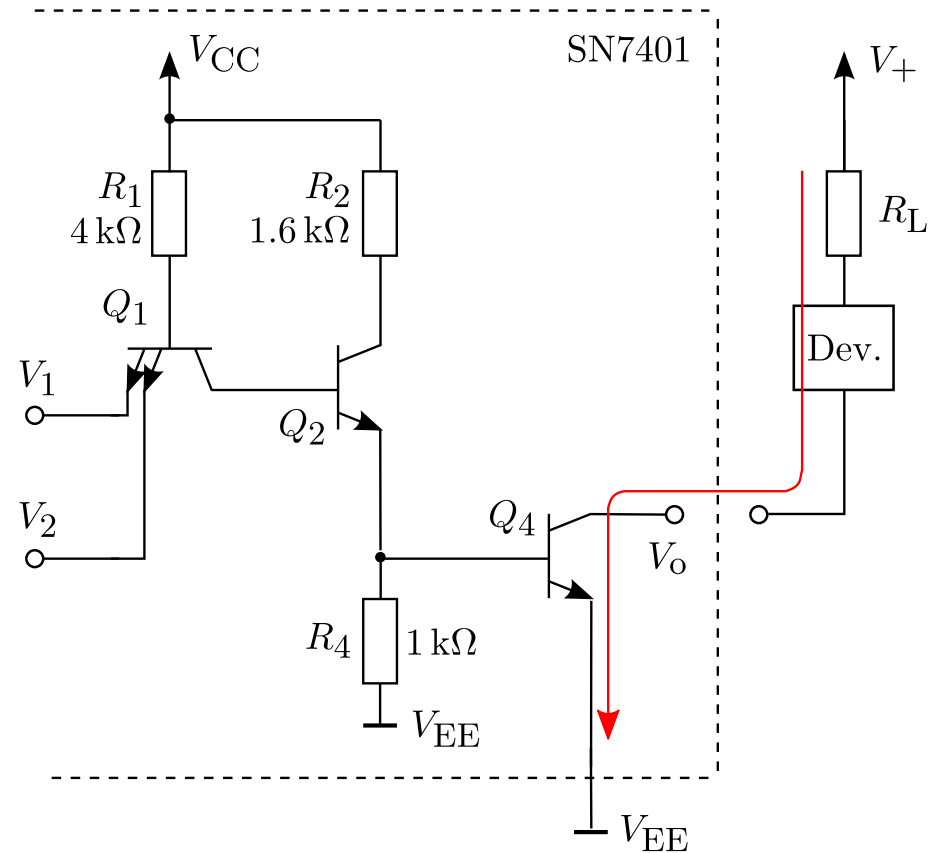


Abb. 3.30: NAND-Gatter 7401 mit Open-Collector und mögliche externe Verschaltung.

3.6 CMOS-Logik

Complementary metal-oxide semiconductor:

- MOSFETs
- unipolare Transistoren
- Komplementär: sowohl p-Kanal als auch n-Kanal FETs auf dem gleichen Chip
- 1963, F. Wanlass, Fairchild Semiconductor

Vorweg:

- heute meist verwendet
- geringe Schaltzeiten
- geringe Leistungsaufnahme

Symbole für MOSFETs

- Kontakte: Gate (G), Source (S) und Drain (D)
- eine Konvention: Pfeil liegt an Source
 - nicht notwendig, Kontakte einzuzeichnen
- Majoritätsladungsträger im Kanal:
 - Elektronen, n-leitend, Pfeil weist auf Gate
 - Löcher, p-leitend, Pfeil weist vom Gate weg
- selbstsperrende MOSFETs (enhancement mode)
 - Kanal ist nichtleitend bei $V_{GS} = 0$
- selbstleitende MOSFETs (depletion mode)
 - Kanal leitet bei $V_{GS} = 0$

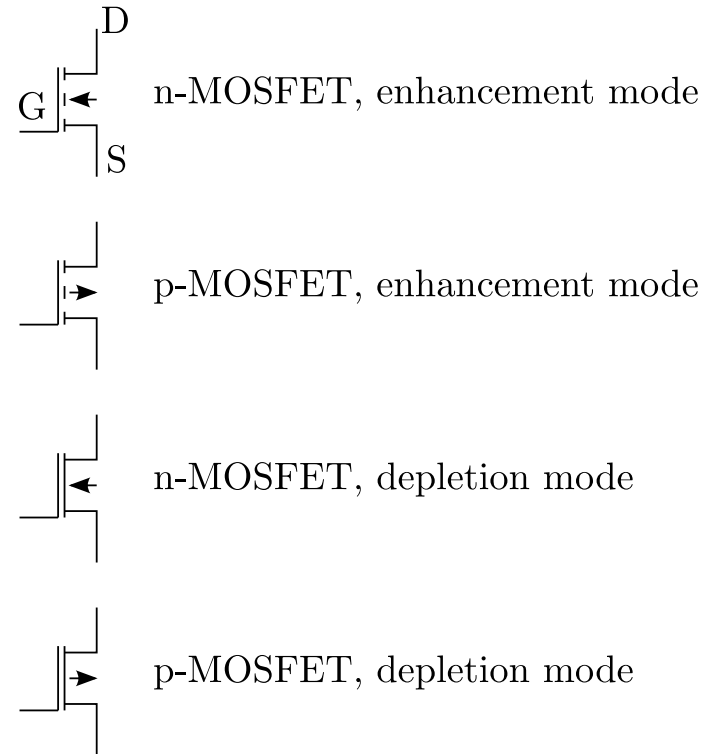


Abb. 3.31: Die vier Grundtypen von MOSFETs. Nach [1].

Einschub MOS-Übergang

Hier diskutiert:

- n-dotierter Halbleiter, CB aufgefüllt bis E_F
- Metall, Band aufgefüllt bis E_F
- dazwischen: nichtleitendes Oxid
 - Si bildet homogenes, stabiles Oxid
 - ausschlaggebender Vorteil für Si-Technologie
 - andere Halbleiter nicht, z.B. Ge oder GaAs

a) Gleichgewicht: $V_G = 0$

- durchgehende Fermi-Energie E_F
- Verarmungszone
- tiefer im Substrat: freie Elektronen

b) Verarmung (depletion): $V_G < 0$

- Aufspaltung der Fermi-Energien E_F
- Bandkanten werden am Oxid nach oben gezogen
- vergrößerte Verarmungszone
- weniger freie Elektronen

c) Akkumulation: $V_G > 0$

- Akkumulation freier Elektronen

d) Inversion: $V_G \ll 0$

- Valenzband kommt der Fermi-Energie nahe
- Akkumulation freier Löcher: Inversion

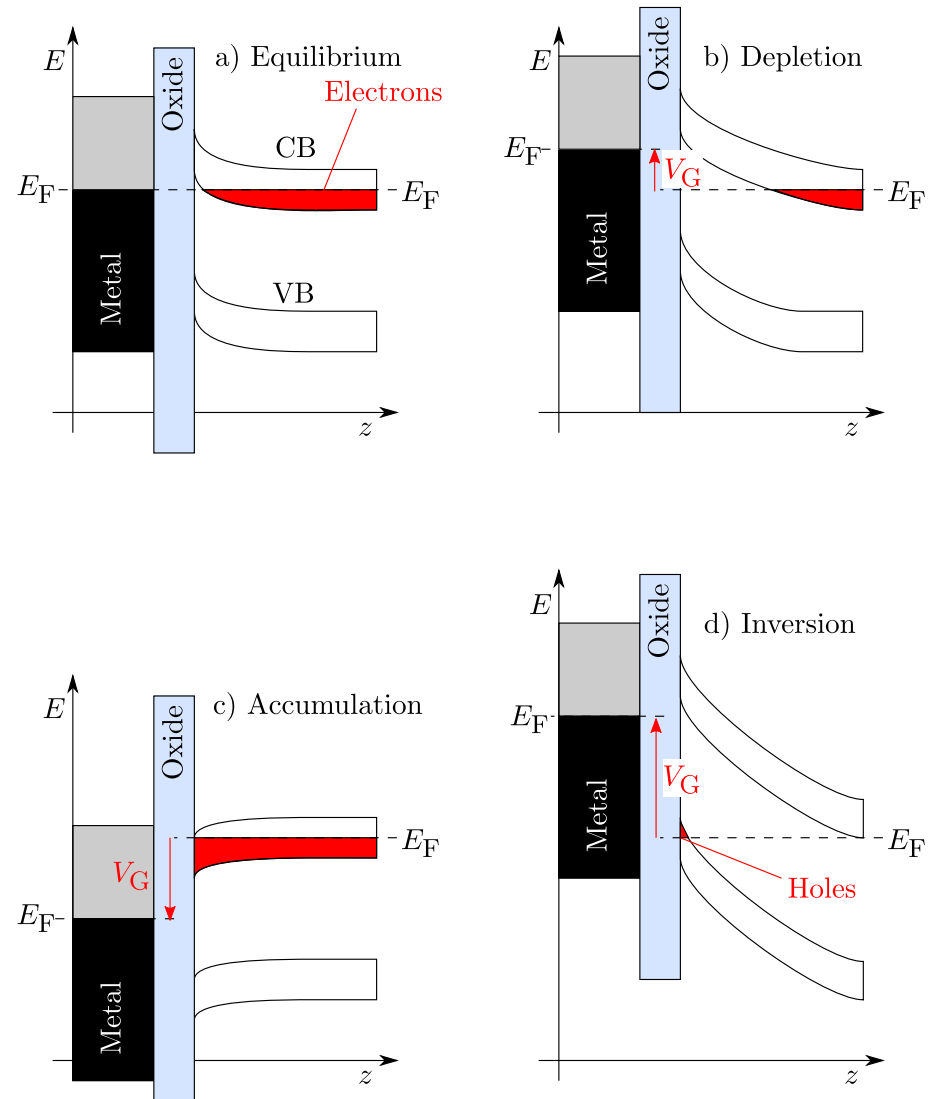


Abb. 3.32: MOS-Übergang eines n-dotierten Halbleiters: Im Gleichgewicht a), in der Verarmung b), in der Anhäufung c) und in der Inversion d).

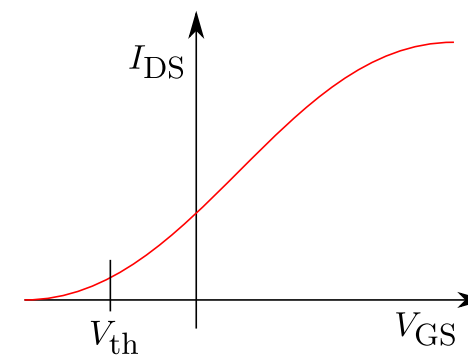
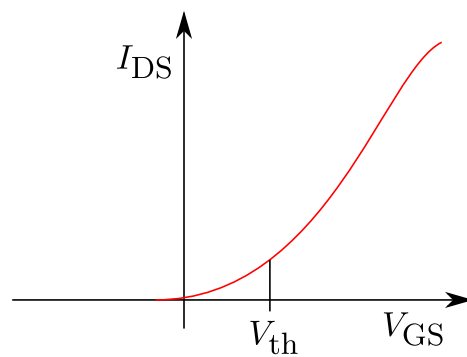
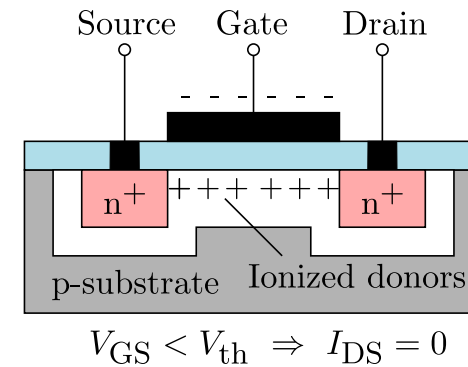
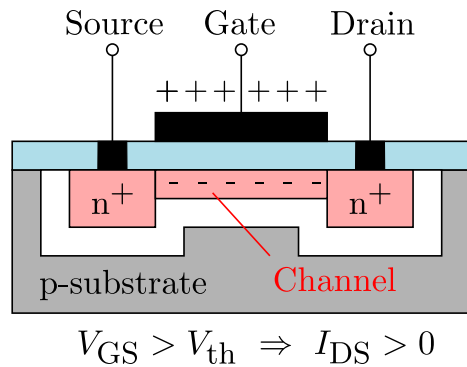
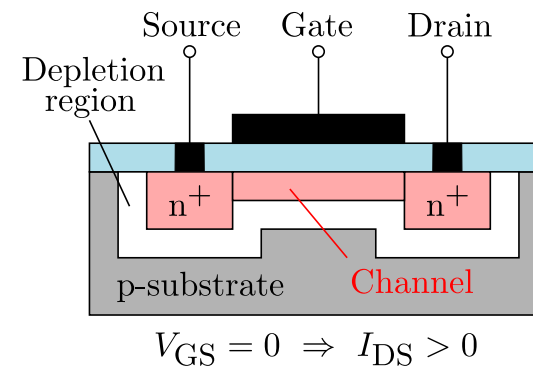
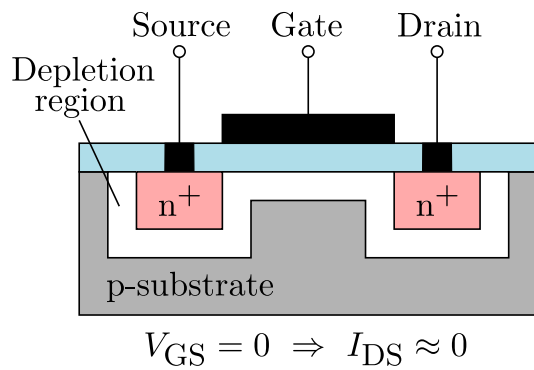


Abb. 3.33: Schema zu einem selbstsperrenden n-MOSFET (enhancement mode, normally off).

Abb. 3.34: Schema zu einem selbstleitenden n-MOSFET (depletion mode, normally on).

Grundsätzliches zu MOS-FETs:

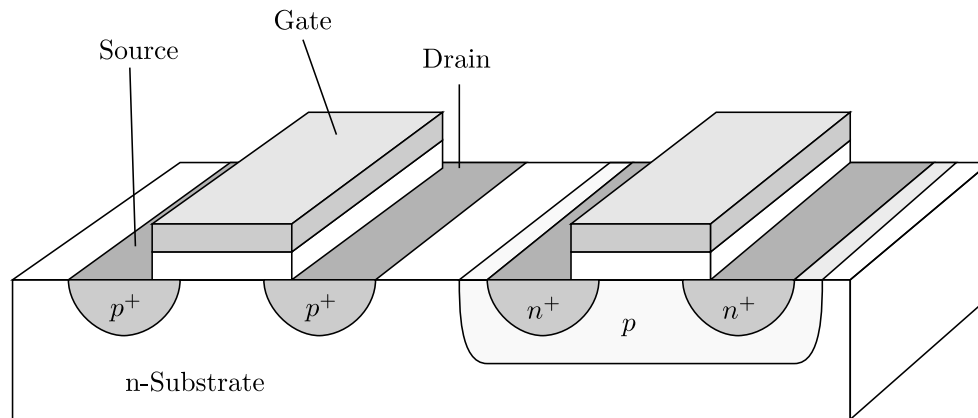
- unipolare Bauelemente
- Ströme durch Majoritäts-Ladungsträger

Kanalwiderstände:

- durchgeschalteter Zustand: $100 \Omega < R < 1000 \Omega$
- gesperrter Zustand: $10^6 \Omega < R < 10^{12} \Omega$

Schalten des Kanalstroms:

$$I_{\text{on}}/I_{\text{off}} > 10^8 \quad (5)$$



p-Channel MOSFET

Open: $V_G < 0$

Closed: $V_G > 0$

n-Channel MOSFET

Open: $V_G > 0$

Closed: $V_G < 0$

Abb. 3.35: Schema zum Aufbau von MOSFETs

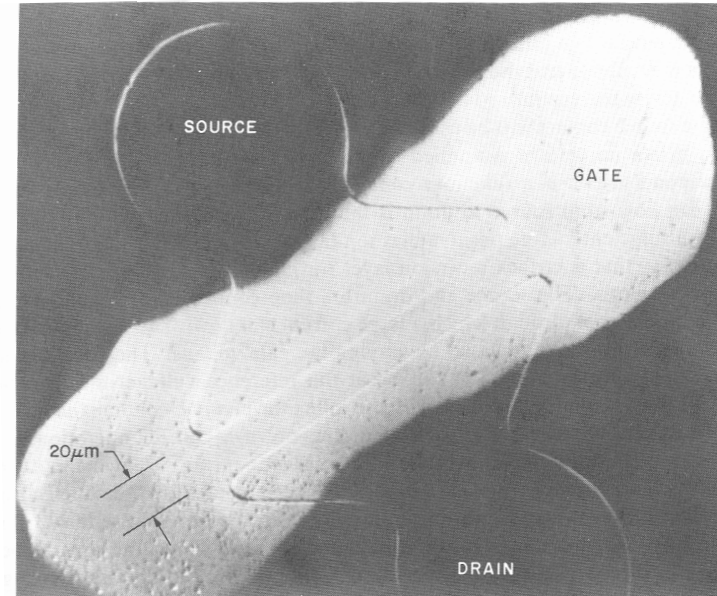


Abb. 3.36: Foto des ersten MOSFETs von Kahng und Atalla (1960). Aus Ref. [6], S. 201.

Two-input NMOS NOR gate

- NMOS
- 2 enhancement mode MOSFETs (drivers)
- 1 depletion mode MOSFET (load)

Funktion:

a) Eingänge $V_{i,1} = 0$ und $V_{i,2} = 0$

- Driver-FETs: Hohe Impedanz, da Enhancement-Mode
- voller Spannungsabfall über die Driver $\Rightarrow V_o \approx V_{DD}$
- Effekt wird über den Load-FET verstärkt
- $V_{out} \approx V_{DD}$ senkt Impedanz des LOAD-FETs, da Depletion-Mode $\Rightarrow V_o = \text{High}$

b) $V_{i,1} \neq 0$ oder $V_{i,2} \neq 0$

- Driver-FETs: niedrige Impedanz, da Enhancement-Mode $\Rightarrow V_{out} \approx V_{SS} = 0$
- und erhöht die Impedanz des LOAD-FETs, da Depletion-Mode $\Rightarrow V_{out} = \text{Low}$

Eigenschaften:

- I_{DC} ist gering, Reihenschaltung hat hohe Impedanz
- aber größer als bei CMOS
- Problem: „starke Eins, schwache Null“
- etwa 4-facher Flächenbedarf vergl. mit CMOS

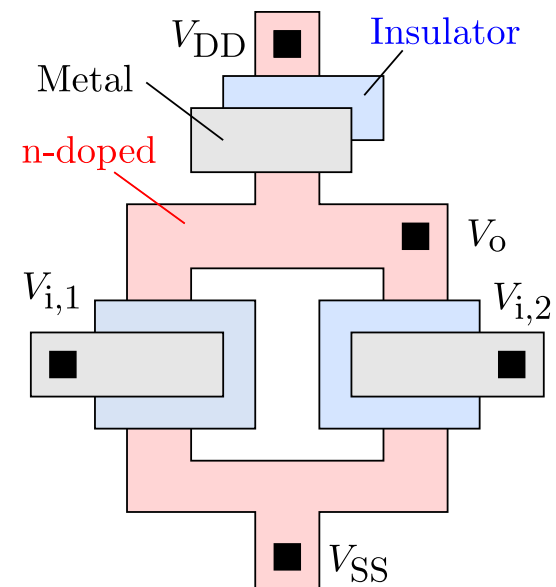
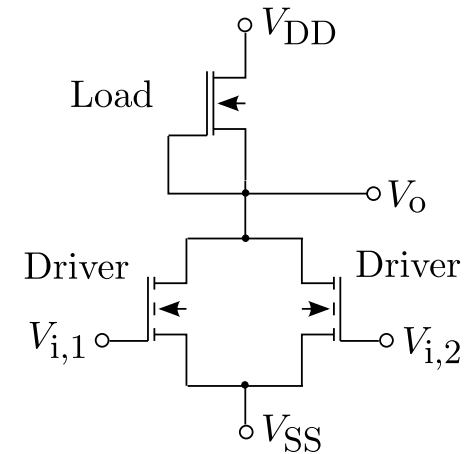


Abb. 3.37: Schaltung und Schema zur Realisierung eines Two-input NMOS NOR-Gatters. Nach Ref. [6], S. 485.

CMOS-Strategie:

- möglichst nur selbstsperrende MOSFETs
- dann notwendig: n- und p-Kanal MOSFETs

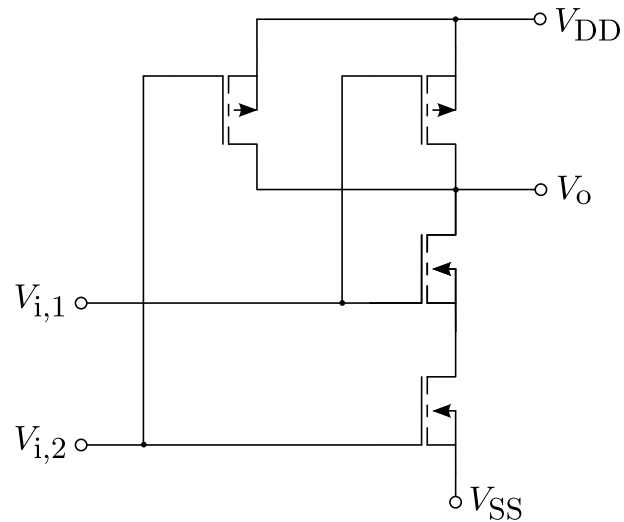


Abb. 3.38: CMOS NAND-Gatter nach Ref. [1] S. 630.

CMOS NAND-Gatter:

- 2 p-MOSFETs
- 2 n-MOSFETs
- alle MOSFETs: selbstsperrend (enhancement mode)

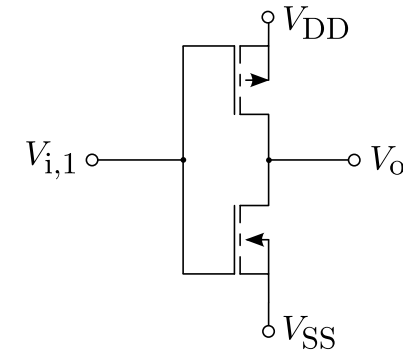


Abb. 3.39: CMOS-Inverter aus der 74HC00-Familie. Nach Ref. [1] S. 627.

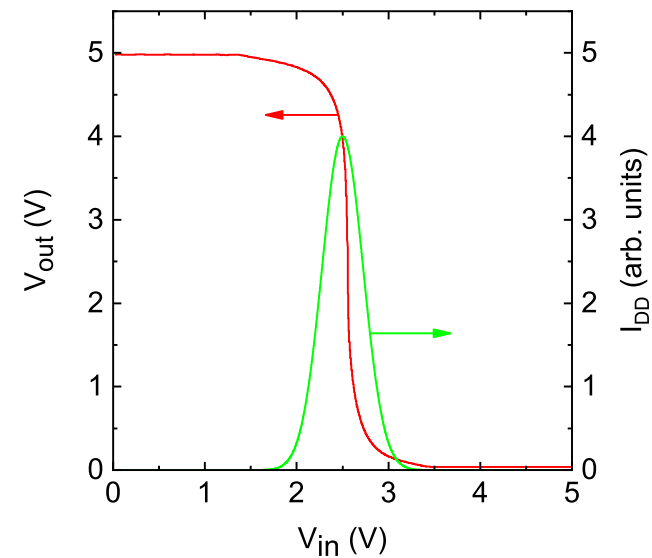


Abb. 3.40: Schalteigenschaften eines CMOS-Inverters aus der 74HC00-Familie. Nach Ref. [1] S. 627.

Offene Eingänge:

- das Potential am Eingang ist undefiniert
- Eingangspotential kann wegfließen
- Hintergrund: Gate-Oxid ist hochisolierend
- Konsequenzen:
 - ein Querstrom kann fließen
 - erhöhte Verlustleistung
 - arbiträre Ausgangssignale

Pullup und Pulldown-Widerstände:

- bei offenen Eingängen, Schaltern
- legen das Potential auf V_{SS} oder V_{DD}

Statische Ladungen:

- ein CMOS ist leicht zerstört
- Gegenmaßnahme: Sichern der Eingänge mit Dioden
- Reibungselektrizität
- Human-body model

$$I = \frac{V_0}{R_{Dis}} = \frac{2000 \text{ V}}{1.5 \text{ k}\Omega} \approx 1.3 \text{ A} \quad (6)$$

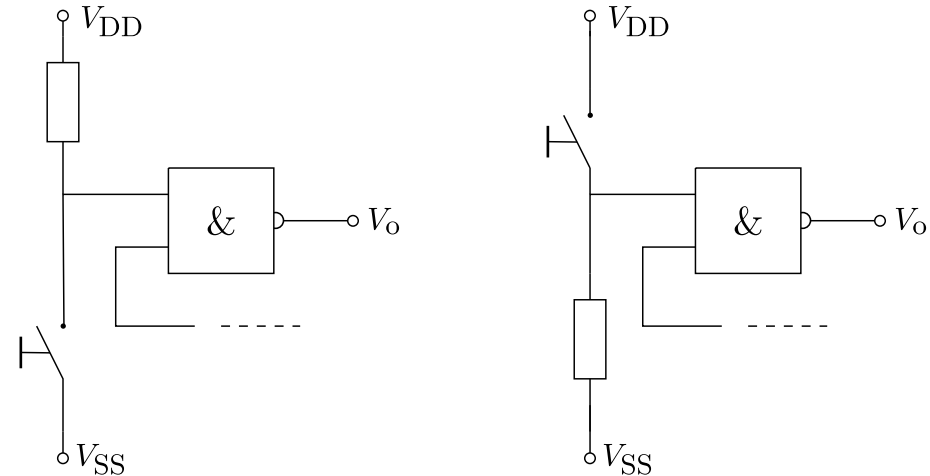


Abb. 3.41: Beispiele zu Pullup- und Pulldown-Widerständen.

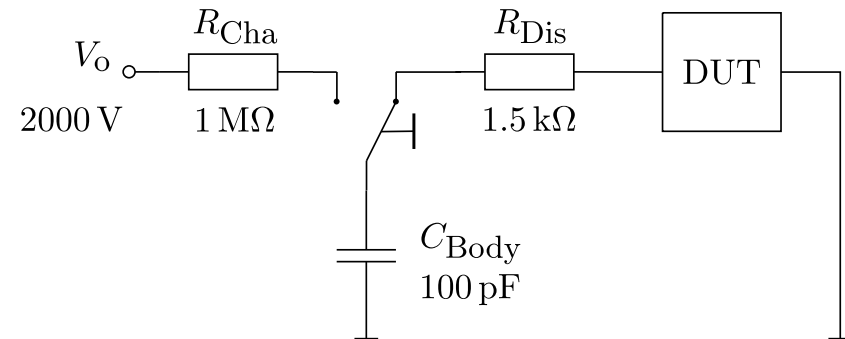


Abb. 3.42: Human-body model. Nach Ref. [1] S. 628.

3.7 Emitter-gekoppelte-Logik, ECL

Vorweg:

- Motorola (1962), MECL-I-Serie
- MECL-III (1968): Taktfrequenzen von 500 MHz
- war bis in die 90er Jahre die schnellste Logikfamilie
- Geschwindigkeiten von CMOS holen auf (s. PCs)

Eigenschaften von ECL:

- Bipolartransistoren
- aber wesentlich schneller als TTL-Logik
- Transistoren werden nicht in die Sättigung getrieben
- Nachteile:
 - zwei Versorgungsspannungen V_{CC} und V_{EE}
 - enorme Verlustleistungen s. Tab. 3.1

Begriff emitter-coupled:

- Eingangsdifferenzverstärker
- alle Eingänge sind emitterseitig verbunden

Funktion:

- Zustand $V_i = 0$:
 - Basisspannungen beider Transistoren sind gleich
 - durch beide Transistoren fließt jeweils $I_E/2$

- Zustand $V_i > 0$:
 - Transistor Q_1 leitet besser als Q_2
 - V_o sinkt
- Zustand $V_i < 0$: umgekehrt
- Widerstände R_1 & R_2 verhindern Sättigung
 - Ladungsmenge in Basis ist begrenzt
 - schnelles Umschalten
- unabhängig vom Schaltzustand: $I_E/2 \approx \text{const.}$

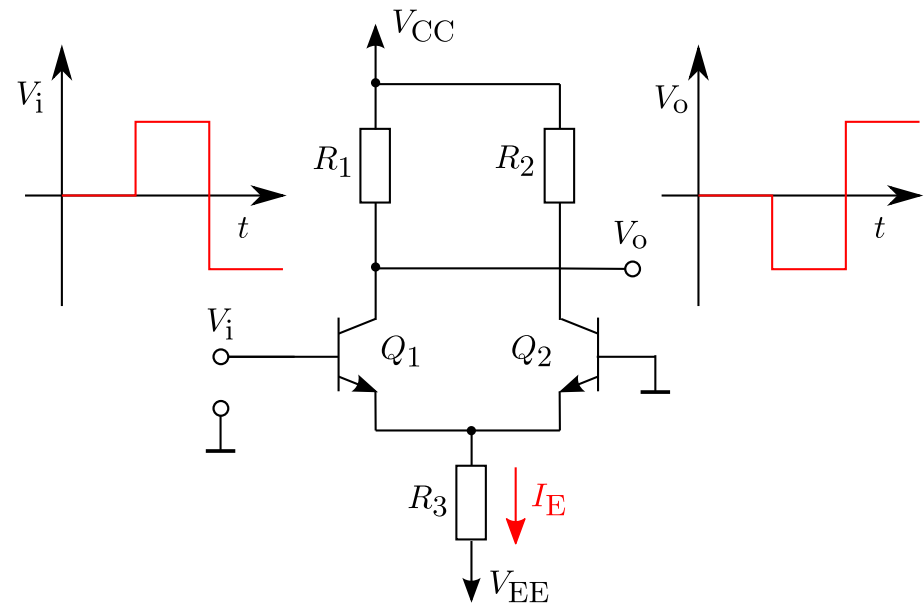


Abb. 3.43: Zum Verständnis des Differenzverstärkers in ECL.

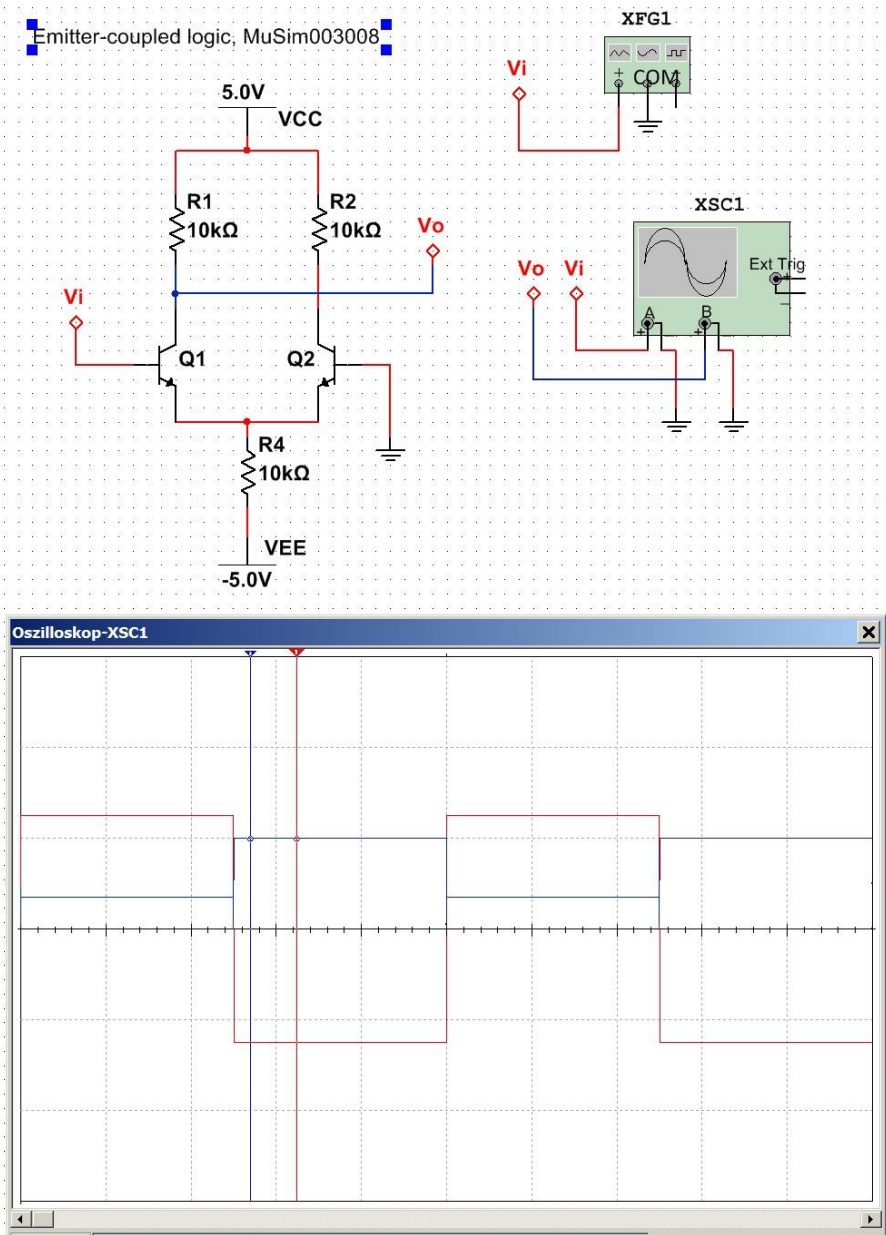


Abb. 3.44: Simulation zu einem ECL-Inverter.

MC10EL05, MC100EL05

5 V ECL 2-Input Differential AND/NAND

Description

The MC10EL/100EL05 is a 2-input differential AND/NAND gate. The device is functionally equivalent to the E404 device with higher performance capabilities. With propagation delays and output transition times significantly faster than the E404, the EL05 is ideally suited for those applications which require the ultimate in AC performance.

Because a negative 2-input NAND is equivalent to a 2-input OR function, the differential inputs and outputs of the device allows the EL05 to also be used as a 2-input differential OR/NOR gate.

The differential inputs employ clamp circuitry so that under open input conditions (pulled down to V_{EE}) the input to the AND gate will be HIGH. In this way, if one set of inputs is open, the gate will remain active to the other input.

The 100 Series contains temperature compensation.

Features

- 275 ps Propagation Delay
- ESD Protection:
 - ◆ > 1 kV Human Body Model,
 - ◆ > 100 V Machine Model
- PECL Mode Operating Range:
 - ◆ $V_{CC} = 4.2 \text{ V to } 5.7 \text{ V}$ with $V_{EE} = 0 \text{ V}$

ca. 5 EUR
 $I_{EE} = 22 \text{ mA}$

Abb. 3.45: Datenblatt zum MC10EL05 & MC100EL05 von Motorola. Quelle: OnSemiconductor.

3.8 Gehäuse & Verpackung

Anforderungen:

- Hobby-Elektroniker: DIL (Dual-In-Line package) auch DIP genannt
- Bestückungsautomate: Blister-Gurte von SMD-Bauelementen

TAPE AND REEL INFORMATION

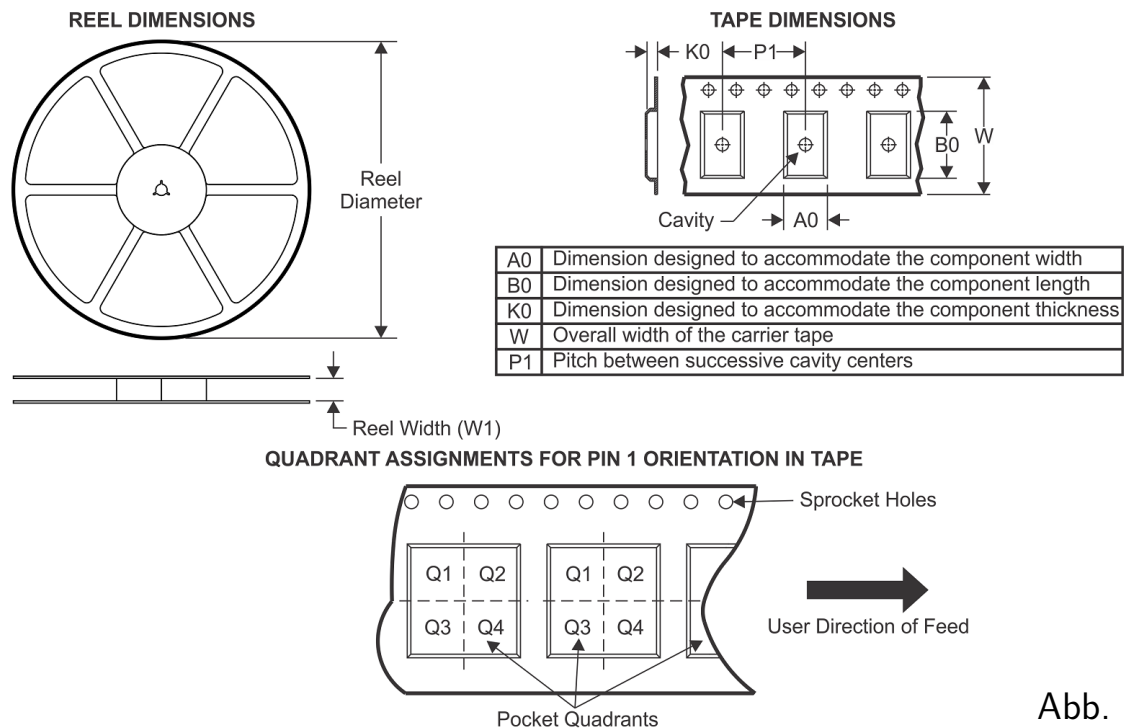


Abb. 3.46: SMD-Blistergurt.

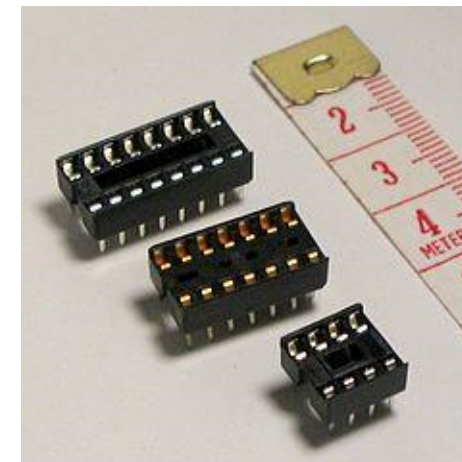
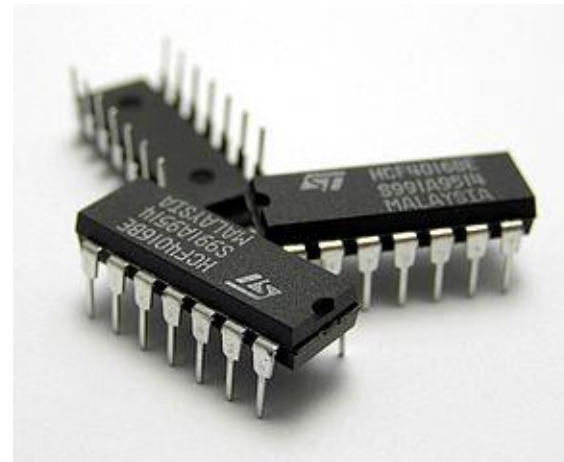


Abb. 3.47: DIL-Gehäuse und Fassungen. Wikipedia public domain bzw. GNU.

Literatur

- [1] U. Tietze, C. Schenk, and E. Gamm, *Halbleiter-Schaltungstechnik*, Springer, 2006.
- [2] P. Horowitz and W. Hill, *The Art of Electronics*, Cambridge University Press, 2015.
- [3] E. Hering, K. Bressler, and J. Gutekunst, *Elektronik für Ingenieure und Naturwissenschaftler*, Springer Vieweg, 2014.
- [4] Texas Instruments, Logic guide, 2017.
- [5] OnSemiconductor, LS TTL Data, 2000.
- [6] S. Sze, *Semiconductor Devices*, John Wiley & Sons, 1985.