

FLIP-FLOPs, sequentielle Logik

Bei den bislang behandelten Logikschaltungen (Schaltnetzen) waren die Ausgangsgrößen X , Y ... zu jeder Zeit in eindeutiger Weise durch die Kombination der Eingangsvariablen A , B , C ... gegeben:

$$X = f(A, B, C...), Y = g(A, B, C...).$$

Bei den jetzt zu behandelnden sequentiellen Schaltungen (Schaltwerken) hängen die momentanen Ausgangsgrößen X^+ , Y^+ usw. darüber hinaus auch von Zuständen X , Y ... der Schaltung ab, die zeitlich früher vorhanden waren:

$$X^+ = f(A, B, C...X, Y...), Y^+ = g(A, B, C...X, Y...).$$

Sequentielle Schaltungen sind also in der Lage, Information zu speichern.

Kippschaltungen:

Einfache Vertreter sequentieller Logikschaltungen: Kippschaltungen

Besonders wichtig in der Digitalelektronik: **Flip-Flops**

Kippschaltungen mit zwei stabilen Zuständen

Kippschaltungen mit einem stabilen Zustand: **Mono-Flops**

1

Grundtypen Flip-Flops

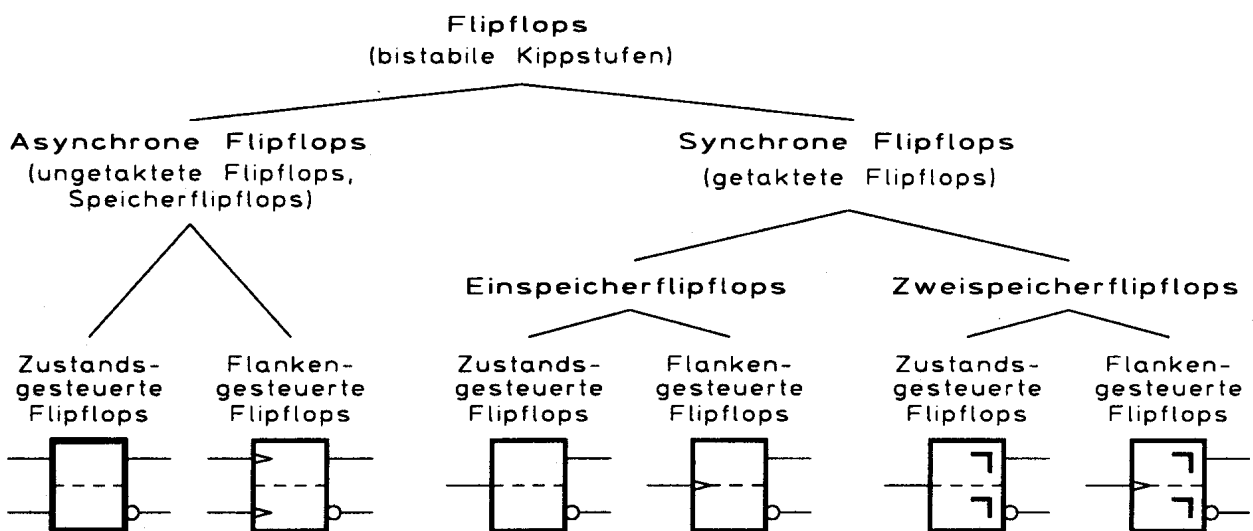
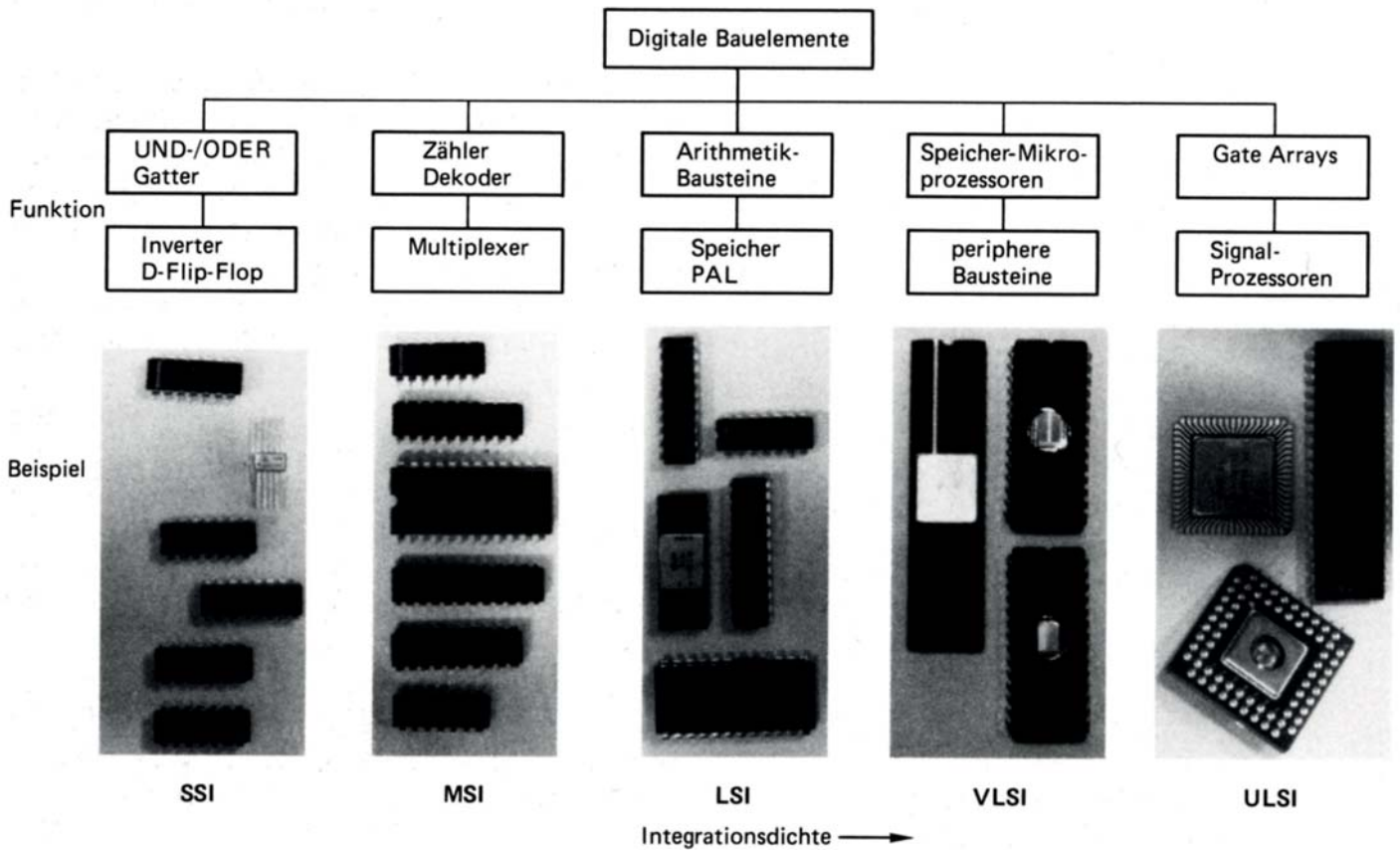


Abb. 3.1: Grundsätzliche Gliederung von Flipflops mit den entsprechenden Symbolen



E. Riedle

Physik^{LMU}

Kippschaltungen mit keinem stabilen Zustand: **astabile Kippschaltungen**

Mono-Flops werden zur Erzeugung von einzelnen Impulsen verwendet, astabile Kippschaltungen dienen zur Erzeugung von Impulsfolgen.

Basis-Flip-Flop

Basis-Flip-Flops (Grund-Flip-Flops) können aus zwei NOR- oder zwei NAND-Gattern aufgebaut werden:

$$S = 1, R = 0 \text{ (} Q = Q_1, \bar{Q} = Q_2 \text{), (set)}$$

$$\bar{Q} = \overline{S + Q} = \overline{1 + Q} = 0 \quad Q = \overline{R + \bar{Q}} = \overline{0 + 0} = 1$$

$$S = 0, R = 1 \text{ (reset)}$$

$$Q = \overline{R + \bar{Q}} = \overline{1 + 0} = 0 \quad \bar{Q} = \overline{S + Q} = \overline{0 + 0} = 1$$

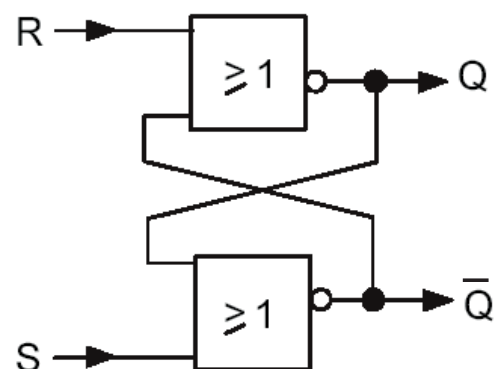
$$S = 0, R = 0 \text{ (alter Zustand, speichern)}$$

$$\bar{Q} = \overline{S + Q} = \overline{0 + 0} = 1 \quad Q = \overline{R + \bar{Q}} = \overline{0 + 1} = 0$$

$$S = 1, R = 1 \text{ (undefiniert, da } Q = \bar{Q}\text{)}$$

$$\bar{Q} = \overline{S + Q} = \overline{1 + 0} = 0 \quad Q = \overline{R + \bar{Q}} = \overline{1 + 0} = 0$$

Basis-Flip-Flop aus zwei NOR-Gattern:



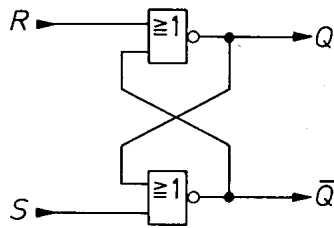


Fig. 10.1 RS flip-flop comprising NOR gates

S	R	Q	\bar{Q}
0	0	Q_{-1}	\bar{Q}_{-1}
0	1	0	1
1	0	1	0
1	1	(0)	(0)

Fig. 10.2 Truth table for an RS flip-flop

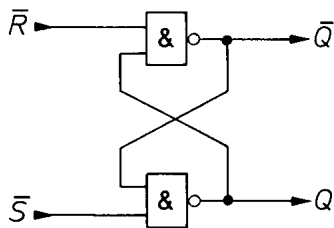


Fig. 10.3 RS flip-flop comprising NAND gates

\bar{S}	\bar{R}	Q	\bar{Q}
0	0	(1)	(1)
0	1	1	0
1	0	0	1
1	1	Q_{-1}	\bar{Q}_{-1}

Fig. 10.4 Truth table for an RS flip-flop comprising NAND gates

S = "set"-Eingang, R = "reset"-Eingang

Bei $(R,S) = (0,0)$ bleibt der Ausgangswert unverändert (Speicherfunktion)

Bei $(R,S) = (0,1)$ wird $Q = 1$ (Set-Funktion = Setzen)

Bei $(R,S) = (1,0)$ wird $Q = 0$ (Reset-Funktion = Zurücksetzen)

Die Kombination $(R,S) = (1,1)$ führt zu nicht komplementären Ausgangszuständen. Wenn R und S gleichzeitig in den Zustand 0 übergehen, ist es zufällig, welche stabile Lage das Flip-Flop einnimmt. Die Kombination $(R,S) = (1,1)$ muß deshalb vermieden werden.

→ Zusatzschaltung mit $(R \cdot S) = 0$ erforderlich

RS-Flip-Flops sind als Speicher noch nicht sehr geeignet, da sie die an den Eingängen anliegende Information jederzeit übernehmen (**transparente Flip-Flops**).

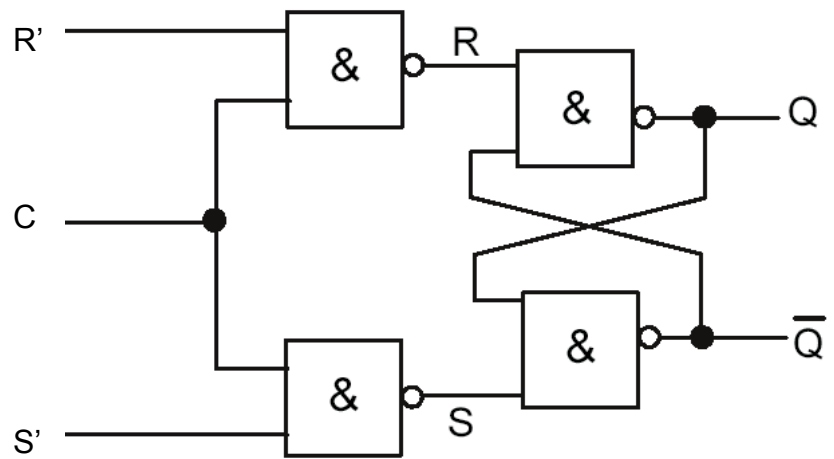
Flip-Flops, welche die Eingangsinformation nur zu bestimmten Zeiten einspeichert:

Flip-Flops mit Takteingang oder Clock

Der Clockeingang sorgt für eine Taktimpulssteuerung. Das Flipflop übernimmt den Speicherinhalt erst beim Anliegen eines Clock-Impulses.

Nur während der Taktimpuls Anliegt ($T = 1$), kann die Information A und B über die NAND-Gatter an die Eingänge S und R des Basis-Flip-Flops

Solange $T = 0$, ist $R = S = 1$ (Speicherfunktion).



Nachteil: $A = B = T = 1$ darf nicht auftreten, da dann $R = S = 0$ und $Q = Q = 1$

S'	R'	C	Q	Q'	
0	0	0	Q_m	Q_m	Speicher
0	1	0	Q_m	Q_m	Speicher
1	0	0	Q_m	Q_m	Speicher
1	1	0	Q_m	Q_m	Speicher
0	0	1	Q_m	Q_m	Speicher
0	1	1	1	0	
1	0	1	0	1	
1	1	1	1	1	irregulär

Dieser Nachteil kann durch folgende Schaltung vermieden werden (D-Flip-Flop):

4

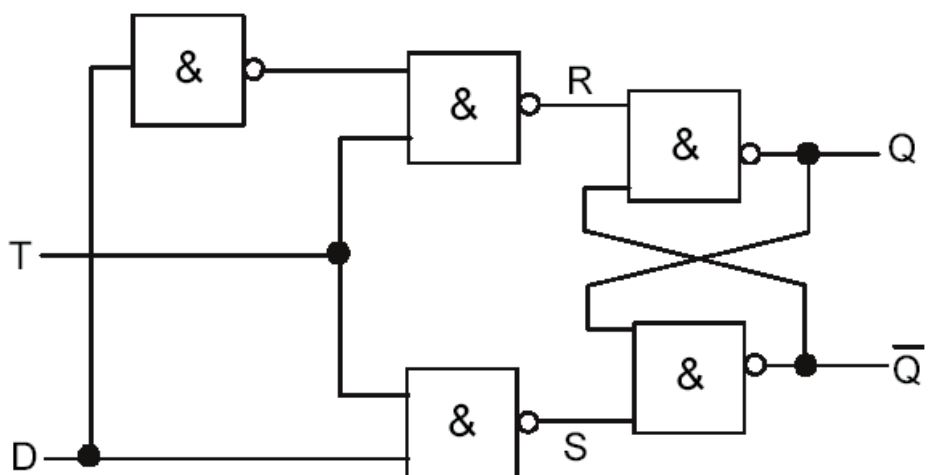
D-Flip-Flop:

D steht für "Delayed". Durch eine besondere Verdrahtung wird der irreguläre Zustand vermieden.

Solange $T = 0$, ist $R = S = 1$ (Speicherfunktion)

Wenn $T = 1$, liegen an R und S immer komplementäre Signale an

$R = S = 0$ gibt es nicht.



Flip-Flops, die die gleichen Eigenschaften haben wie das gezeigte D-Flip-Flop, lassen sich auf verschiedene Weisen realisieren.

Es gibt zwei Varianten, wobei die zweite praktisch bevorzugt wird.

Ein pegelgesteuertes Flip-Flop wird auch als „Latch“ bezeichnet.

5

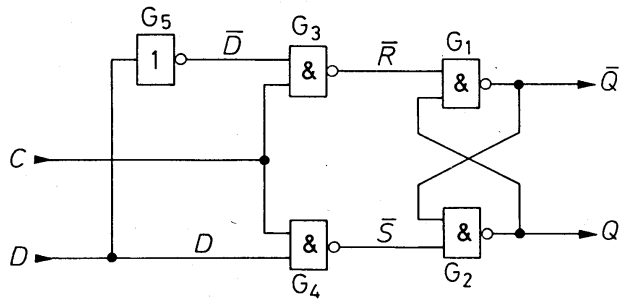


Fig. 10.6 Transparent *D* flip-flop (*D* latch)

<i>C</i>	<i>D</i>	<i>Q</i>
0	0	Q_{-1}
0	1	Q_{-1}
1	0	0
1	1	1

Fig. 10.7 Truth table for the transparent *D*-flip-flop

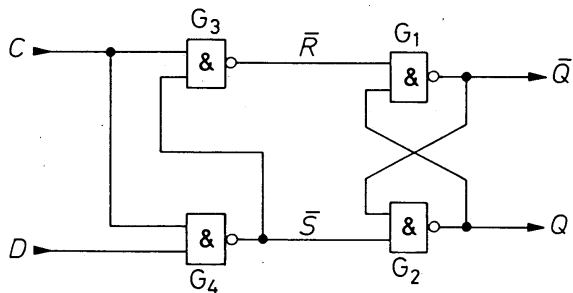


Fig. 10.8 Practical implementation of a transparent *D* flip-flop

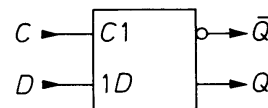
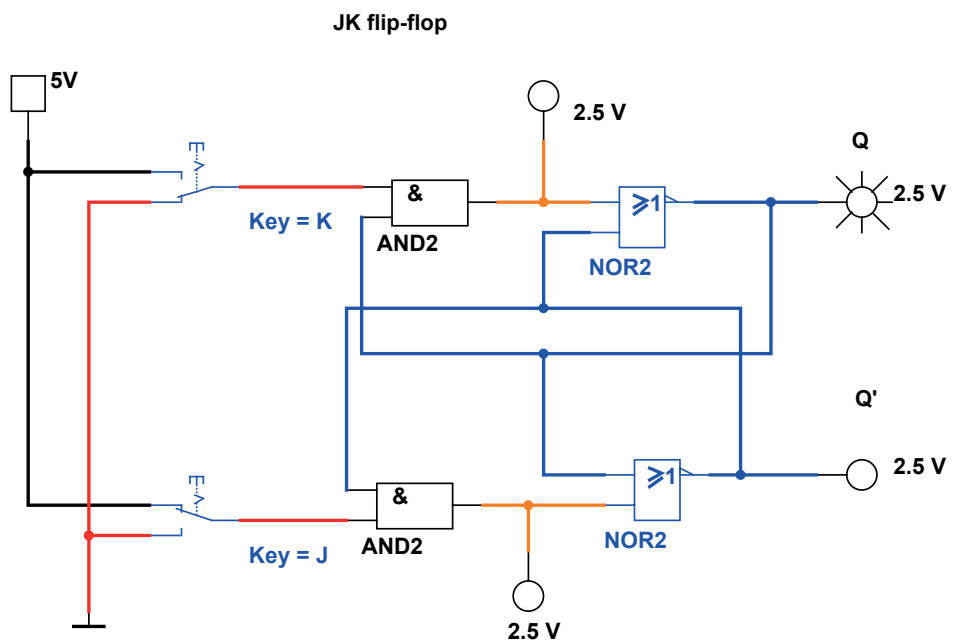


Fig. 10.9 Circuit symbol for a transparent *D* flip-flop

JK-Flip-Flop:

Die Bezeichnung JK ist willkürlich und hat keinerlei Bedeutung. Es handelt sich um ein RS-Flipflop mit zusätzlicher Rückkopplung.

J	K	Q	\bar{Q}
0	0	Q_m	\bar{Q}_m
0	1	0	1
1	0	1	0
1	1	nicht definiert	



JK-Flip-Flop mit NAND bleibt stabil bei J=K=1 (trotzdem nicht definiert)

D-Flip-Flops sind als Speicherelemente geeignet.

Nachteil: Die am Dateneingang D anliegende Information beim Eintreffen des Taktsignals sofort an die Ausgänge weitergegeben

Speicher-Flip-Flops, die die Eingangsinformation erst nach einer kurzen Verzögerungszeit übernehmen → **Master-Slave Flip-Flops**

Beispiele: RS-Master-Slave Flip-Flop und JK-Master-Slave Flip-Flop

Eine sehr universell einsetzbare Speicheranordnung ist der JK-Master-Slave-Flip-Flop

Dieses Flip-Flop besitzt 5 Eingänge:

- je einen direkt wirkenden Set- und Reset-Eingang
- zwei sogenannte Vorbereitungseingänge *J* und *K*
- den Takteingang *T*

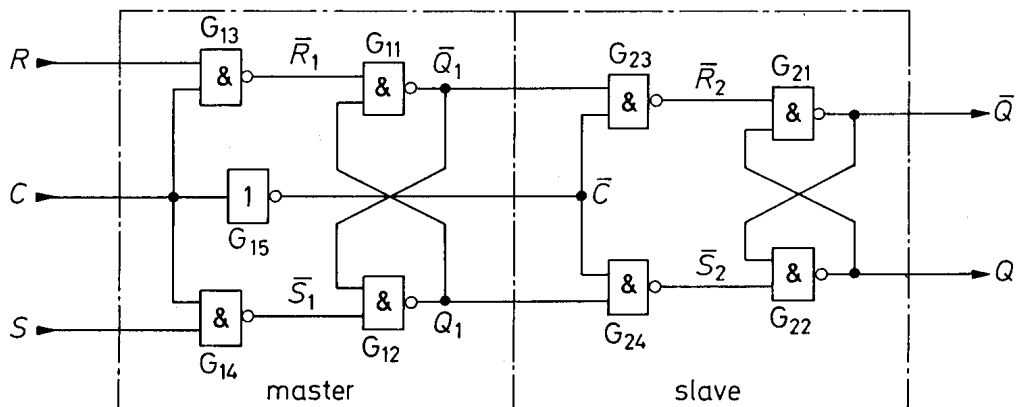


Fig. 10.10 RS master-slave flip-flop

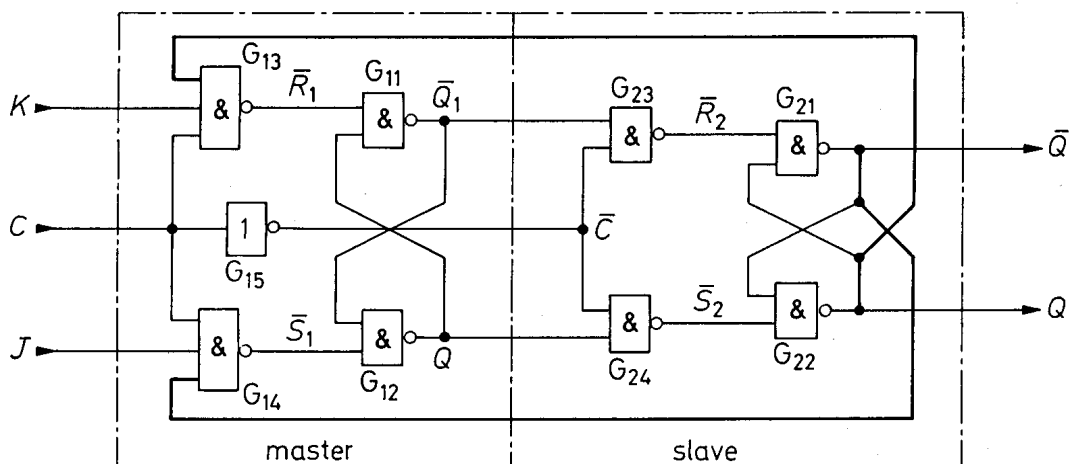


Fig. 10.11 JK master-slave flip-flop

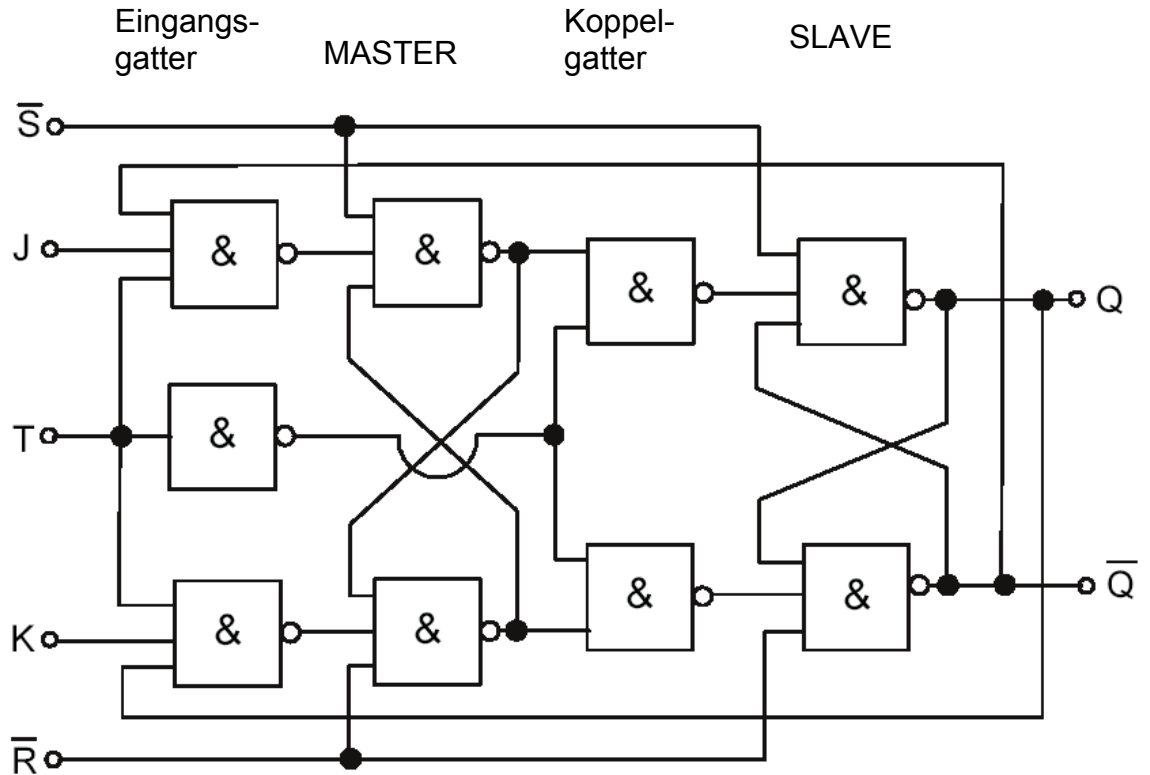
\bar{S}, \bar{R} = direkte Setzeingänge

NAND:

A	B	X
0	0	1
0	1	1
1	0	1
1	1	0

Master Flip-Flop:
nimmt über das Eingangsgatter Befehle entgegen

Slave Flip-Flop:
erhält Befehle über das Koppelgatter



8

Drei Phasen: C = 0 Vorbereitung, C = 1 Dateneingabe, C = 0 Datenausgabe

Tabelle zum JK-MS-Flip-Flop:

\bar{R}	\bar{S}	K	J	C	Q	
0	1	X	X	X	0	Löschen
1	1	X	X	X	1	setzen
1	1	0	0	↓	Q_m	Keine Änderung
1	1	0	1	↓	1	
1	1	1	0	↓	0	
1	1	1	1	↓	\bar{Q}_m	Invertierung

Die Rückführungen von den Ausgängen auf die Eingangsgatter:

→ Vorbereitungseingänge, wenn $K = J = 1$.

Mit negativer Flanke des Taktpulses erscheint der in der Vorbereitungsphase am Eingang liegende Zustand jeweils am Ausgang!

→ Anwendungen: Frequenzteiler, Binärzähler

9

Zustandstabelle	Beispiele für Bauteile																																																																																																																									
	CMOS	TTL	ECL																																																																																																																							
<table border="1"> <tr> <th colspan="2">Eingänge</th> <th colspan="2">Ausgänge</th> </tr> <tr> <td>PRESET</td> <td>CLOCK</td> <td>Q</td> <td>Q̄</td> </tr> <tr> <td>L H</td> <td>X X</td> <td>H L</td> <td>H H</td> </tr> <tr> <td>L H</td> <td>X X</td> <td>L H</td> <td>H H</td> </tr> <tr> <td>L H</td> <td>↑ ↑</td> <td>L H</td> <td>L H</td> </tr> <tr> <td>L H</td> <td>L</td> <td>Q₀</td> <td>Q₀</td> </tr> </table>	Eingänge		Ausgänge		PRESET	CLOCK	Q	Q̄	L H	X X	H L	H H	L H	X X	L H	H H	L H	↑ ↑	L H	L H	L H	L	Q ₀	Q ₀	<table border="1"> <tr> <td>74HC74</td> <td>74LS74</td> <td>MC10131</td> </tr> <tr> <td>74ACT74</td> <td>74F74</td> <td>MC10H176</td> </tr> <tr> <td>74HC175</td> <td>74LS374</td> <td>MC10176</td> </tr> <tr> <td>74AC175</td> <td>74LS574</td> <td>MC10231</td> </tr> <tr> <td>74HC374</td> <td></td> <td></td> </tr> </table>	74HC74	74LS74	MC10131	74ACT74	74F74	MC10H176	74HC175	74LS374	MC10176	74AC175	74LS574	MC10231	74HC374			<table border="1"> <tr> <td>74HC112</td> <td>74LS112</td> <td>MC1670</td> </tr> <tr> <td>74AC112</td> <td>74S112</td> <td>MC10135</td> </tr> <tr> <td>74HC113</td> <td>74AS112</td> <td></td> </tr> <tr> <td>74HC114</td> <td>74LS113</td> <td></td> </tr> </table>	74HC112	74LS112	MC1670	74AC112	74S112	MC10135	74HC113	74AS112		74HC114	74LS113																																																																						
Eingänge		Ausgänge																																																																																																																								
PRESET	CLOCK	Q	Q̄																																																																																																																							
L H	X X	H L	H H																																																																																																																							
L H	X X	L H	H H																																																																																																																							
L H	↑ ↑	L H	L H																																																																																																																							
L H	L	Q ₀	Q ₀																																																																																																																							
74HC74	74LS74	MC10131																																																																																																																								
74ACT74	74F74	MC10H176																																																																																																																								
74HC175	74LS374	MC10176																																																																																																																								
74AC175	74LS574	MC10231																																																																																																																								
74HC374																																																																																																																										
74HC112	74LS112	MC1670																																																																																																																								
74AC112	74S112	MC10135																																																																																																																								
74HC113	74AS112																																																																																																																									
74HC114	74LS113																																																																																																																									
<table border="1"> <tr> <th colspan="2">Eingänge</th> <th colspan="2">Ausgänge</th> </tr> <tr> <td>PRE</td> <td>CLK</td> <td>Q</td> <td>Q̄</td> </tr> <tr> <td>L H</td> <td>X X</td> <td>L H</td> <td>H H</td> </tr> <tr> <td>L L</td> <td>X X</td> <td>L H</td> <td>H H</td> </tr> <tr> <td>L L</td> <td>X X</td> <td>H H</td> <td>H H</td> </tr> <tr> <td>L H</td> <td>↑ ↓</td> <td>L H</td> <td>L H</td> </tr> <tr> <td>L H</td> <td>↓ ↓</td> <td>Q₀</td> <td>Q₀</td> </tr> <tr> <td>L H</td> <td>H</td> <td>TOGGLE</td> <td>Q₀</td> </tr> <tr> <td>L H</td> <td>H</td> <td>Q₀</td> <td>Q₀</td> </tr> </table>	Eingänge		Ausgänge		PRE	CLK	Q	Q̄	L H	X X	L H	H H	L L	X X	L H	H H	L L	X X	H H	H H	L H	↑ ↓	L H	L H	L H	↓ ↓	Q ₀	Q ₀	L H	H	TOGGLE	Q ₀	L H	H	Q ₀	Q ₀	<table border="1"> <tr> <td>74HC123</td> <td>74LS123</td> <td></td> </tr> <tr> <td>74HC221</td> <td>74LS221</td> <td></td> </tr> <tr> <td>74HC423</td> <td></td> <td></td> </tr> </table>	74HC123	74LS123		74HC221	74LS221		74HC423																																																																														
Eingänge		Ausgänge																																																																																																																								
PRE	CLK	Q	Q̄																																																																																																																							
L H	X X	L H	H H																																																																																																																							
L L	X X	L H	H H																																																																																																																							
L L	X X	H H	H H																																																																																																																							
L H	↑ ↓	L H	L H																																																																																																																							
L H	↓ ↓	Q ₀	Q ₀																																																																																																																							
L H	H	TOGGLE	Q ₀																																																																																																																							
L H	H	Q ₀	Q ₀																																																																																																																							
74HC123	74LS123																																																																																																																									
74HC221	74LS221																																																																																																																									
74HC423																																																																																																																										
<table border="1"> <tr> <th colspan="2">Eingänge</th> <th colspan="2">Ausgänge</th> </tr> <tr> <td>nR_D</td> <td>nQ</td> <td>nQ</td> <td>nQ̄</td> </tr> <tr> <td>L X</td> <td>L L</td> <td>L L</td> <td>H H</td> </tr> <tr> <td>X X</td> <td>L L</td> <td>L L</td> <td>H H</td> </tr> <tr> <td>H H</td> <td>↑ ↓</td> <td>L L</td> <td>H H</td> </tr> <tr> <td>H H</td> <td>↓ ↓</td> <td>L L</td> <td>H H</td> </tr> <tr> <td>H H</td> <td>H</td> <td>L L</td> <td>H H</td> </tr> <tr> <td>H H</td> <td>H</td> <td>L L</td> <td>H H</td> </tr> </table>	Eingänge		Ausgänge		nR _D	nQ	nQ	nQ̄	L X	L L	L L	H H	X X	L L	L L	H H	H H	↑ ↓	L L	H H	H H	↓ ↓	L L	H H	H H	H	L L	H H	H H	H	L L	H H	<table border="1"> <tr> <td>74HC161</td> <td>74LS161</td> <td>MC10136</td> </tr> <tr> <td>74HC163</td> <td>74LS163</td> <td></td> </tr> <tr> <td>74HC191</td> <td>74LS191</td> <td></td> </tr> <tr> <td>74HC193</td> <td>74LS193</td> <td></td> </tr> </table>	74HC161	74LS161	MC10136	74HC163	74LS163		74HC191	74LS191		74HC193	74LS193		<table border="1"> <tr> <th colspan="2">Eingänge</th> <th colspan="2">Ausgänge</th> </tr> <tr> <td>SR*</td> <td>CET</td> <td>Q</td> <td>Q̄</td> </tr> <tr> <td>L H</td> <td>X X</td> <td>0</td> <td>15</td> </tr> <tr> <td>L H</td> <td>X X</td> <td>1</td> <td>14</td> </tr> <tr> <td>L H</td> <td>H H</td> <td>2</td> <td>13</td> </tr> <tr> <td>L H</td> <td>H H</td> <td>3</td> <td>12</td> </tr> <tr> <td>L H</td> <td>H H</td> <td>4</td> <td>11</td> </tr> <tr> <td>L H</td> <td>H H</td> <td>5</td> <td>10</td> </tr> <tr> <td>L H</td> <td>H H</td> <td>6</td> <td>9</td> </tr> <tr> <td>L H</td> <td>H H</td> <td>7</td> <td>8</td> </tr> <tr> <td>L H</td> <td>H H</td> <td>8</td> <td>7</td> </tr> <tr> <td>L H</td> <td>H H</td> <td>9</td> <td>6</td> </tr> <tr> <td>L H</td> <td>H H</td> <td>10</td> <td>5</td> </tr> <tr> <td>L H</td> <td>H H</td> <td>11</td> <td>4</td> </tr> <tr> <td>L H</td> <td>H H</td> <td>12</td> <td>3</td> </tr> <tr> <td>L H</td> <td>H H</td> <td>13</td> <td>2</td> </tr> <tr> <td>L H</td> <td>H H</td> <td>14</td> <td>1</td> </tr> <tr> <td>L H</td> <td>H H</td> <td>15</td> <td>0</td> </tr> </table>	Eingänge		Ausgänge		SR*	CET	Q	Q̄	L H	X X	0	15	L H	X X	1	14	L H	H H	2	13	L H	H H	3	12	L H	H H	4	11	L H	H H	5	10	L H	H H	6	9	L H	H H	7	8	L H	H H	8	7	L H	H H	9	6	L H	H H	10	5	L H	H H	11	4	L H	H H	12	3	L H	H H	13	2	L H	H H	14	1	L H	H H	15	0				
Eingänge		Ausgänge																																																																																																																								
nR _D	nQ	nQ	nQ̄																																																																																																																							
L X	L L	L L	H H																																																																																																																							
X X	L L	L L	H H																																																																																																																							
H H	↑ ↓	L L	H H																																																																																																																							
H H	↓ ↓	L L	H H																																																																																																																							
H H	H	L L	H H																																																																																																																							
H H	H	L L	H H																																																																																																																							
74HC161	74LS161	MC10136																																																																																																																								
74HC163	74LS163																																																																																																																									
74HC191	74LS191																																																																																																																									
74HC193	74LS193																																																																																																																									
Eingänge		Ausgänge																																																																																																																								
SR*	CET	Q	Q̄																																																																																																																							
L H	X X	0	15																																																																																																																							
L H	X X	1	14																																																																																																																							
L H	H H	2	13																																																																																																																							
L H	H H	3	12																																																																																																																							
L H	H H	4	11																																																																																																																							
L H	H H	5	10																																																																																																																							
L H	H H	6	9																																																																																																																							
L H	H H	7	8																																																																																																																							
L H	H H	8	7																																																																																																																							
L H	H H	9	6																																																																																																																							
L H	H H	10	5																																																																																																																							
L H	H H	11	4																																																																																																																							
L H	H H	12	3																																																																																																																							
L H	H H	13	2																																																																																																																							
L H	H H	14	1																																																																																																																							
L H	H H	15	0																																																																																																																							
<table border="1"> <tr> <th colspan="2">Eingänge</th> <th colspan="2">Ausgänge</th> </tr> <tr> <td>PRE</td> <td>CLK</td> <td>Q</td> <td>Q̄</td> </tr> <tr> <td>L H</td> <td>X X</td> <td>L H</td> <td>H H</td> </tr> <tr> <td>L L</td> <td>X X</td> <td>L H</td> <td>H H</td> </tr> <tr> <td>L L</td> <td>X X</td> <td>H H</td> <td>H H</td> </tr> <tr> <td>L H</td> <td>↑ ↓</td> <td>L H</td> <td>L H</td> </tr> <tr> <td>L H</td> <td>↓ ↓</td> <td>Q₀</td> <td>Q₀</td> </tr> <tr> <td>L H</td> <td>H</td> <td>TOGGLE</td> <td>Q₀</td> </tr> <tr> <td>L H</td> <td>H</td> <td>Q₀</td> <td>Q₀</td> </tr> </table>	Eingänge		Ausgänge		PRE	CLK	Q	Q̄	L H	X X	L H	H H	L L	X X	L H	H H	L L	X X	H H	H H	L H	↑ ↓	L H	L H	L H	↓ ↓	Q ₀	Q ₀	L H	H	TOGGLE	Q ₀	L H	H	Q ₀	Q ₀	<table border="1"> <tr> <td>74HC160</td> <td>74LS160</td> <td>MC10137</td> </tr> <tr> <td>74HC162</td> <td>74LS162</td> <td></td> </tr> <tr> <td>74HC190</td> <td>74LS190</td> <td></td> </tr> <tr> <td>74HC192</td> <td>74LS192</td> <td></td> </tr> </table>	74HC160	74LS160	MC10137	74HC162	74LS162		74HC190	74LS190		74HC192	74LS192		<table border="1"> <tr> <th colspan="2">Eingänge</th> <th colspan="2">Ausgänge</th> </tr> <tr> <td>SR*</td> <td>CET</td> <td>Q</td> <td>Q̄</td> </tr> <tr> <td>L H</td> <td>X X</td> <td>0</td> <td>15</td> </tr> <tr> <td>L H</td> <td>X X</td> <td>1</td> <td>14</td> </tr> <tr> <td>L H</td> <td>H H</td> <td>2</td> <td>13</td> </tr> <tr> <td>L H</td> <td>H H</td> <td>3</td> <td>12</td> </tr> <tr> <td>L H</td> <td>H H</td> <td>4</td> <td>11</td> </tr> <tr> <td>L H</td> <td>H H</td> <td>5</td> <td>10</td> </tr> <tr> <td>L H</td> <td>H H</td> <td>6</td> <td>9</td> </tr> <tr> <td>L H</td> <td>H H</td> <td>7</td> <td>8</td> </tr> <tr> <td>L H</td> <td>H H</td> <td>8</td> <td>7</td> </tr> <tr> <td>L H</td> <td>H H</td> <td>9</td> <td>6</td> </tr> <tr> <td>L H</td> <td>H H</td> <td>10</td> <td>5</td> </tr> <tr> <td>L H</td> <td>H H</td> <td>11</td> <td>4</td> </tr> <tr> <td>L H</td> <td>H H</td> <td>12</td> <td>3</td> </tr> <tr> <td>L H</td> <td>H H</td> <td>13</td> <td>2</td> </tr> <tr> <td>L H</td> <td>H H</td> <td>14</td> <td>1</td> </tr> <tr> <td>L H</td> <td>H H</td> <td>15</td> <td>0</td> </tr> </table>	Eingänge		Ausgänge		SR*	CET	Q	Q̄	L H	X X	0	15	L H	X X	1	14	L H	H H	2	13	L H	H H	3	12	L H	H H	4	11	L H	H H	5	10	L H	H H	6	9	L H	H H	7	8	L H	H H	8	7	L H	H H	9	6	L H	H H	10	5	L H	H H	11	4	L H	H H	12	3	L H	H H	13	2	L H	H H	14	1	L H	H H	15	0
Eingänge		Ausgänge																																																																																																																								
PRE	CLK	Q	Q̄																																																																																																																							
L H	X X	L H	H H																																																																																																																							
L L	X X	L H	H H																																																																																																																							
L L	X X	H H	H H																																																																																																																							
L H	↑ ↓	L H	L H																																																																																																																							
L H	↓ ↓	Q ₀	Q ₀																																																																																																																							
L H	H	TOGGLE	Q ₀																																																																																																																							
L H	H	Q ₀	Q ₀																																																																																																																							
74HC160	74LS160	MC10137																																																																																																																								
74HC162	74LS162																																																																																																																									
74HC190	74LS190																																																																																																																									
74HC192	74LS192																																																																																																																									
Eingänge		Ausgänge																																																																																																																								
SR*	CET	Q	Q̄																																																																																																																							
L H	X X	0	15																																																																																																																							
L H	X X	1	14																																																																																																																							
L H	H H	2	13																																																																																																																							
L H	H H	3	12																																																																																																																							
L H	H H	4	11																																																																																																																							
L H	H H	5	10																																																																																																																							
L H	H H	6	9																																																																																																																							
L H	H H	7	8																																																																																																																							
L H	H H	8	7																																																																																																																							
L H	H H	9	6																																																																																																																							
L H	H H	10	5																																																																																																																							
L H	H H	11	4																																																																																																																							
L H	H H	12	3																																																																																																																							
L H	H H	13	2																																																																																																																							
L H	H H	14	1																																																																																																																							
L H	H H	15	0																																																																																																																							

* For 162 only; H = HIGH Voltage Level; L = LOW Voltage Level; X = Immaterial

Betriebsarten

Steuersignale		Betriebsarten	
SR*	CET	CEP	CEP
L	X	X	Reset (Clear)
H	L	X	Load (P _n → Q _n)
H	H	H	Count (Increment)
H	H	X	No Change (Hold)
H	H	L	No Change (Hold)

Betriebsarten

Steuersignale		Betriebsarten	
SR*	PE	CET	CEP
L	X	X	Reset (Clear)
H	L	X	Load (P _n → Q _n)
H	H	H	Count (Increment)
H	H	X	No Change (Hold)
H	H	L	No Change (Hold)

* For 162 only; H = HIGH Voltage Level; L = LOW Voltage Level; X = Immaterial

Schaltzeichen für Flip-Flops und Zähler (MSI-Bauteile).

Schaltsymbolik		Zustandstabelle																																																																						
DIN/IEC	amerikanisch																																																																							
<p>D-Flip-Flop</p>		<table border="1"> <tr> <th colspan="4">Eingänge</th> <th colspan="2">Ausgänge</th> </tr> <tr> <td>PRESET</td> <td>CLEAR</td> <td>CLOCK</td> <td>D</td> <td>Q</td> <td>Q̄</td> </tr> <tr> <td>L</td> <td>H</td> <td>X</td> <td>X</td> <td>H</td> <td>L</td> </tr> <tr> <td>H</td> <td>L</td> <td>X</td> <td>X</td> <td>L</td> <td>H</td> </tr> <tr> <td>L</td> <td>L</td> <td>X</td> <td>X</td> <td>H</td> <td>H</td> </tr> <tr> <td>H</td> <td>H</td> <td>↑</td> <td>H</td> <td>H</td> <td>L</td> </tr> <tr> <td>H</td> <td>H</td> <td>↑</td> <td>L</td> <td>L</td> <td>H</td> </tr> <tr> <td>H</td> <td>H</td> <td>L</td> <td>Q₀</td> <td>L</td> <td>Q₀</td> </tr> </table>	Eingänge				Ausgänge		PRESET	CLEAR	CLOCK	D	Q	Q̄	L	H	X	X	H	L	H	L	X	X	L	H	L	L	X	X	H	H	H	H	↑	H	H	L	H	H	↑	L	L	H	H	H	L	Q ₀	L	Q ₀																						
Eingänge				Ausgänge																																																																				
PRESET	CLEAR	CLOCK	D	Q	Q̄																																																																			
L	H	X	X	H	L																																																																			
H	L	X	X	L	H																																																																			
L	L	X	X	H	H																																																																			
H	H	↑	H	H	L																																																																			
H	H	↑	L	L	H																																																																			
H	H	L	Q ₀	L	Q ₀																																																																			
<p>J-K-Flip-Flop (Master-Slave-FF)</p>		<table border="1"> <tr> <th colspan="5">Eingänge</th> <th colspan="2">Ausgänge</th> </tr> <tr> <td>PRE</td> <td>CLR</td> <td>CLK</td> <td>J</td> <td>K</td> <td>Q</td> <td>Q̄</td> </tr> <tr> <td>L</td> <td>H</td> <td>X</td> <td>X</td> <td>X</td> <td>H</td> <td>L</td> </tr> <tr> <td>H</td> <td>L</td> <td>X</td> <td>X</td> <td>X</td> <td>L</td> <td>H</td> </tr> <tr> <td>L</td> <td>L</td> <td>X</td> <td>X</td> <td>X</td> <td>H</td> <td>H</td> </tr> <tr> <td>H</td> <td>H</td> <td>↓</td> <td>L</td> <td>L</td> <td>L</td> <td>L</td> </tr> <tr> <td>H</td> <td>H</td> <td>↓</td> <td>H</td> <td>H</td> <td>L</td> <td>H</td> </tr> <tr> <td>H</td> <td>H</td> <td>↓</td> <td>H</td> <td>H</td> <td>L</td> <td>H</td> </tr> <tr> <td>H</td> <td>H</td> <td>H</td> <td>X</td> <td>X</td> <td>TOGGLE</td> <td>Q₀</td> </tr> <tr> <td>H</td> <td>H</td> <td>H</td> <td>X</td> <td>X</td> <td>Q₀</td> <td>Q₀</td> </tr> </table>	Eingänge					Ausgänge		PRE	CLR	CLK	J	K	Q	Q̄	L	H	X	X	X	H	L	H	L	X	X	X	L	H	L	L	X	X	X	H	H	H	H	↓	L	L	L	L	H	H	↓	H	H	L	H	H	H	↓	H	H	L	H	H	H	H	X	X	TOGGLE	Q ₀	H	H	H	X	X	Q ₀	Q ₀
Eingänge					Ausgänge																																																																			
PRE	CLR	CLK	J	K	Q	Q̄																																																																		
L	H	X	X	X	H	L																																																																		
H	L	X	X	X	L	H																																																																		
L	L	X	X	X	H	H																																																																		
H	H	↓	L	L	L	L																																																																		
H	H	↓	H	H	L	H																																																																		
H	H	↓	H	H	L	H																																																																		
H	H	H	X	X	TOGGLE	Q ₀																																																																		
H	H	H	X	X	Q ₀	Q ₀																																																																		
<p>monostabile Kippstufe</p>		<table border="1"> <tr> <th colspan="3">Eingänge</th> <th colspan="2">Ausgänge</th> </tr> <tr> <td>nR_D</td> <td>nA</td> <td>nB</td> <td>nQ</td> <td>nQ̄</td> </tr> <tr> <td>L</td> <td>X</td> <td>X</td> <td>L</td> <td>H</td> </tr> <tr> <td>X</td> <td>H</td> <td>L</td> <td>L</td> <td>H</td> </tr> <tr> <td>X</td> <td>X</td> <td>L</td> <td>L</td> <td>H</td> </tr> <tr> <td>H</td> <td>L</td> <td>↑</td> <td>L</td> <td>H</td> </tr> <tr> <td>H</td> <td>↓</td> <td>H</td> <td>L</td> <td>H</td> </tr> <tr> <td>H</td> <td>↓</td> <td>H</td> <td>L</td> <td>H</td> </tr> <tr> <td>↑</td> <td>L</td> <td>H</td> <td>L</td> <td>H</td> </tr> </table>	Eingänge			Ausgänge		nR _D	nA	nB	nQ	nQ̄	L	X	X	L	H	X	H	L	L	H	X	X	L	L	H	H	L	↑	L	H	H	↓	H	L	H	H	↓	H	L	H	↑	L	H	L	H																									
Eingänge			Ausgänge																																																																					
nR _D	nA	nB	nQ	nQ̄																																																																				
L	X	X	L	H																																																																				
X	H	L	L	H																																																																				
X	X	L	L	H																																																																				
H	L	↑	L	H																																																																				
H	↓	H	L	H																																																																				
H	↓	H	L	H																																																																				
↑	L	H	L	H																																																																				

Tabelle 12-8. Schaltzeichen für Flip-Flops und Zähler (MSI-Bauteile).

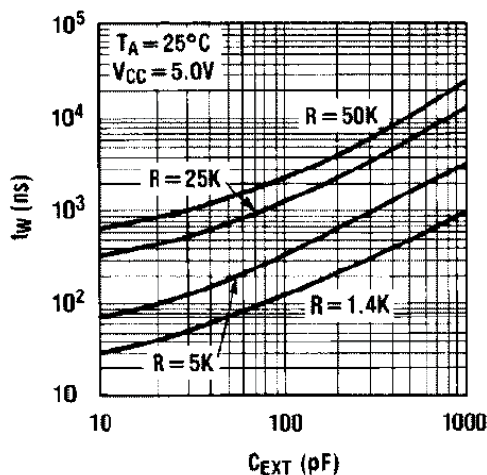
Funktion	Schallsymbolik	
	DIN/IEC	amerikanisch
D-Flip-Flop		
J-K-Flip-Flop (Master-Slave-FF)		
monostabile Kippstufe		
4-Bit-Synchronzähler		
4-Bit-Dezimalzähler (BCD)		

DM74121

One-Shot with Clear and Complementary Outputs

Features

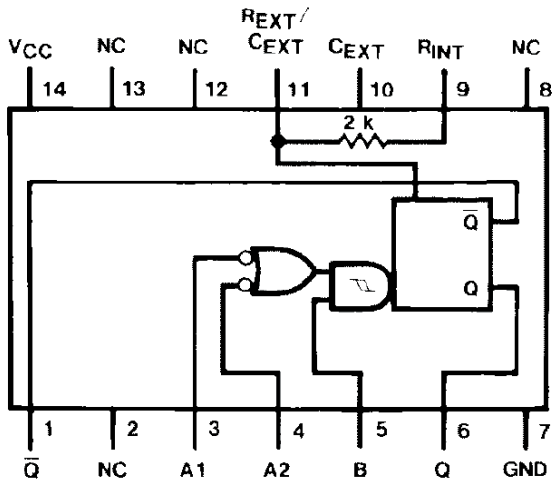
- Triggered from active-HIGH transition or active-LOW transition inputs
- Variable pulse width from 30 ns to 28 seconds
- Jitter free Schmitt-trigger input
- Excellent noise immunity typically 1.2V
- Stable pulse width up to 90% duty cycle
- TTL, DTL compatible
- Compensated for V_{CC} and temperature variations
- Input clamp diodes



Functional Description

The basic output pulse width is determined by selection of an internal resistor R_{INT} or an external resistor (R_X) and capacitor (C_X). Once triggered the output pulse width is independent of further transitions of the inputs and is function of the timing components. Pulse width can vary from a few nano-seconds to 28 seconds by choosing appropriate R_X and C_X combinations. There are three trigger inputs from the device, two negative edge-triggering (A) inputs, one positive edge Schmitt-triggering (B) input.

Connection Diagram



Function Table

Inputs			Outputs	
A1	A2	B	Q	\bar{Q}
L	X	H	L	H
X	L	H	L	H
X	X	L	L	H
H	H	X	L	H
H	↓	H	⌋	⌋
↓	H	H	⌋	⌋
↓	↓	H	⌋	⌋
L	X	↑	⌋	⌋
X	L	↑	⌋	⌋

H = HIGH Logic Level
 L = LOW Logic Level
 X = Can Be Either LOW or HIGH
 ⌋ = A Positive Pulse
 ⌋ = A Negative Pulse

↑ = Positive Going Transition
 ↓ = Negative Going Transition

$$t_w = K R_x C_x$$

where [R_x is in Kilo-ohm]

[C_x is in pico Farad]

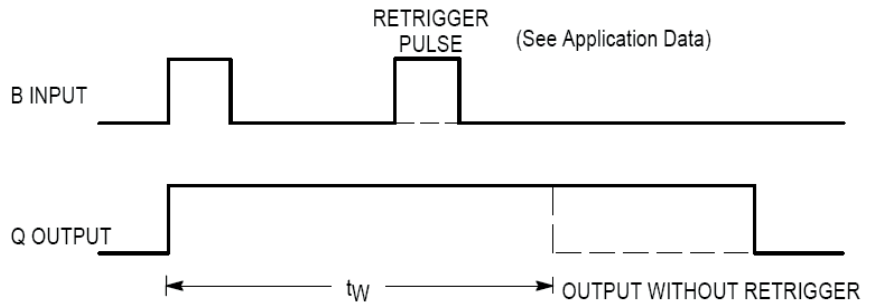
[t_w is in nano second]

[$K \approx 0.7$]

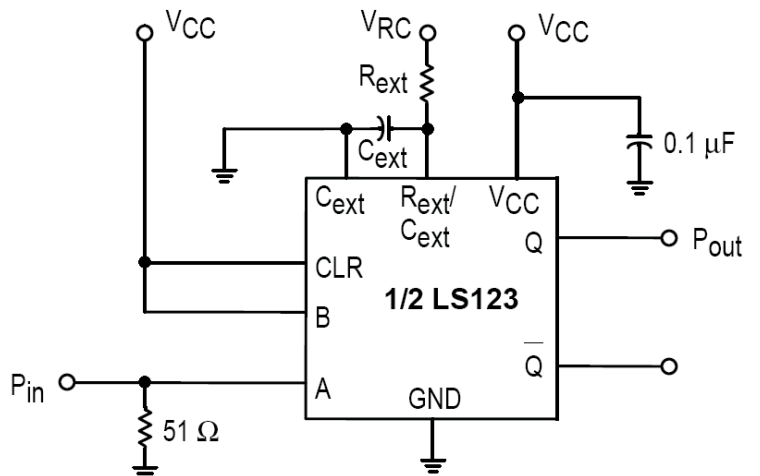
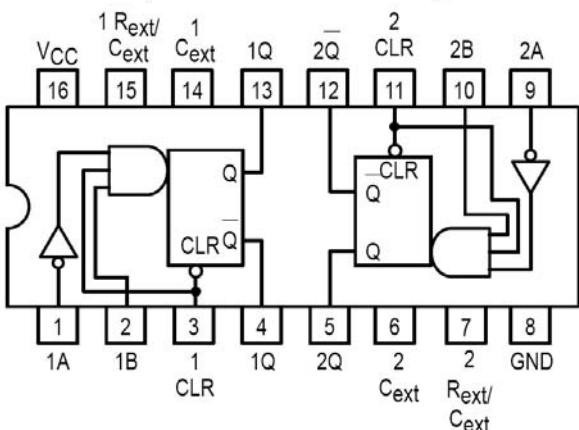
E. Riedle

Physik ^{LMU}

RETRIGGERABLE MONOSTABLE MULTIVIBRATORS



SN54/74LS123 (TOP VIEW)
 (SEE NOTES 1 THRU 4)



Integriertes Monoflop 74121

- 74121: Monoflop mit Schmitt-Trigger-Eingang
- 74122: Retriggerbares Monoflop mit Löscheingang
- 74123: Zwei retriggerbare Monoflops mit Löscheingang
- 74221: Zwei Monoflops mit Schmitt-Trigger-Eingang und Löscheingang
- 74422: Retriggerbares Monoflop mit Löscheingang
- 74423: Zwei retriggerbare Monoflops mit Löscheingang

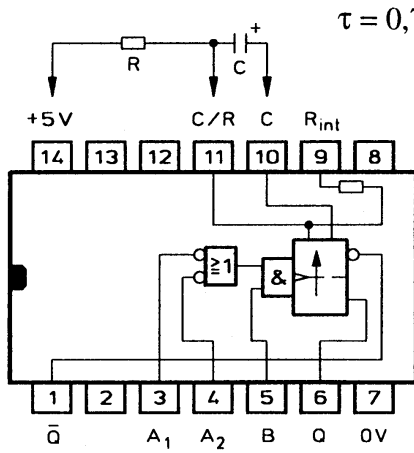


Abb. 3.23:
Anschlußschema und
Innenschaltung
des Monoflops 74121

Triggermöglichkeiten und deren Unterschiede bei den Monoflops 74121, 74122 und 74123

