

9 Elektronische Speicher

Ziele:

1. wichtigste Konzepte und Realisierungen
2. Anwendungen von Speichern

Stichworte: flüchtige & permanente Speicher, floating-gate MOSFETs, RAM, ROM, PROM, EPROM, EEPROM, SRAM, DRAM

Lehrbücher:

- U. Tietze und Ch. Schenk [1]
- P. Horowitz und W. Hill [2]
- etwas knapp: E. Hering, K. Bresser, J. Gutekunst [3]

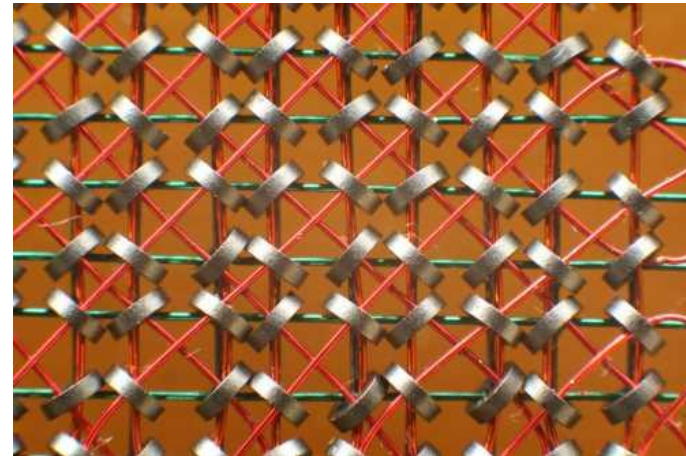


Abb. 9.1: Ringkernspeicher. Quelle Wikipedia.

9.1 Einleitung

9.1.1 Geschichte

Magnetische Kernspeicher:

- auch Magnetkernspeicher, Ferritkernspeicher
- Verwendung als Kernspeicher (ca. 1950 – 1980)
- hartmagnetische Ringkerne sind auf Drähten aufgefädelt
- Kosten sanken von 1 US\$/bit auf 0.01 US\$/bit (1970)
- Größe bis zu einigen Megabytes (Handarbeit in Asien)
- heute noch Signaltechnik der Eisenbahn (Warum?)

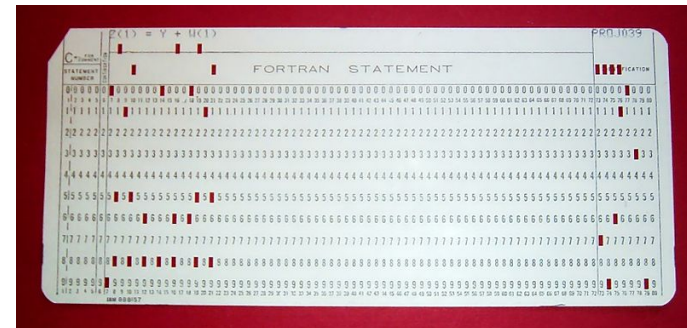


Abb. 9.2: Lochkarte mit dem Befehl $Z(1) = Y + W(1)$. Quelle Wikipedia.

Lochkarten:

- Ursprung: Webstühle (1740)
- benutzt bis um 1985

9.1.2 Wieso Speicher?

Turing-Maschine:

- hypothetische Maschine
- Alan Turing (1936)
- „Turing’s paper ... contains, in essence, the invention of the modern computer and some of the programming techniques that accompanied it.“ Minsky (1967), p. 104
- Sinn einer Turing-Maschine:
 - nicht eine Rechnung als solche
 - sondern Verständnis der Mathematik von Rechenprozessen
- Aufbau:
 - unendliches Speicherband
 - Schreib-/Lesekopf
 - Programm
- Rahmen:
 - nicht alle mathematischen Funktionen sind mit Turing-Maschinen darstellbar
 - aber jeder Algorithmus ist mit einer Turing-Maschine darstellbar

Anscheinend:

- ohne Speicher keine Maschine, die beliebige Algorithmen ausführen kann

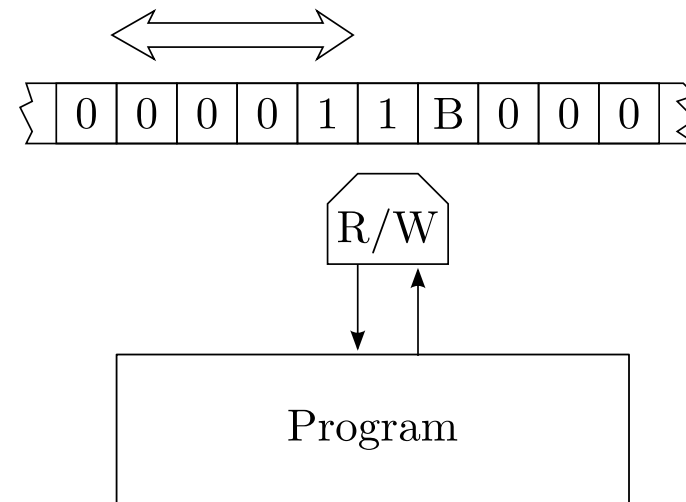


Abb. 9.3: Turing-Maschine.

Unterteilungen:

- flüchtige Speicher
 - Information geht spätestens mit Ende der Betriebsdauer (Spannungsversorgung) verloren
 - möglich sind Lesen, Schreiben und Löschen
 - Random-access memory (RAM)
 - Beispiele:
 - Static random-access memory (SRAM)
 - Dynamic random-access memory (DRAM)
- permanente Speicher
 - Speicherung über die Betriebszeit hinaus
 - permanente Medien können nur gelesen werden
 - Read-only memory (ROM)
 - Beispiele:
 - Lochkarten
 - CDs, DVDs
- semi-permanente Speicher
 - Read-mostly memory (RMM)
 - kontrollierte Änderungen permanent gespeicherter Information sind möglich
 - Beispiele:
 - PROM, programmable ROM
 - EPROM, erasable programmable ROM
 - magnetische Kernspeicher
 - USB-Sticks, SD-Cards
 - Solid-state drives (SSDs)

$$\begin{aligned} 1 \text{ kBit} &= 2^{10} \text{ Bit} &&= 1024 \text{ Bit} \\ 1 \text{ MBit} &= 1 \text{ kBit} \times 1 \text{ kBit} &&= 1,048,576 \text{ Bit} \\ 1 \text{ GBit} &= 1 \text{ kBit} \times 1 \text{ kBit} \times 1 \text{ kBit} &&= 1,073,741,824 \text{ Bit} \end{aligned}$$

Tab. 9.1: Speichergrößen nach Ref. [3] S. 597. Die Angabe für Speicherbauteile erfolgt meist in Bit, bei Rechnerkomponenten in Byte.

Beispiel:

- ein Speicherbaustein $1 \text{ k} \times 8$ hat:
 - 1024 Speicherplätze
 - mit 8 Bit Wortlänge
- und benötigt:
 - 10 Adressleitungen
 - 8 Datenleitungen

Random access memory	Static	SRAM
	Dynamic	DRAM
Read mostly memory	Flash	PROM
	Flash	EPROM
		EEPROM
Read only memory		Mask-ROM

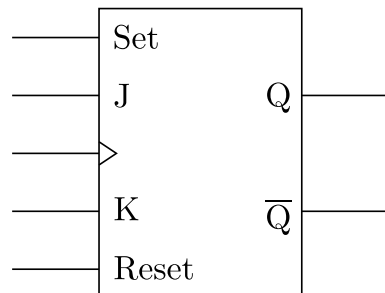
Tab. 9.2: Einteilung verschiedener Halbleiterspeicher. Nach Ref. [1], S. 716 und Ref. [3] S. 600.

9.2 Verwendung von JK-Flip-Flops

Eignung:

- Selbstbau von Labortechnik
- CD74HCT107E, 2 JK-Flip-Flops, DIP-14, 1.01 EUR
- MC14174B, 6 D-Flip-Flops, SMD, 0.17 EUR
- aber nicht zur umfangreichen Datenverarbeitung
 - zu große Leistungsaufnahme
 - zu langsam

9.2.1 Rückblick JK-Flip-Flop



J	K	C	Q
1	0	↑	1
0	1	↑	0

- Set $\rightarrow Q = 1$
- Reset $\rightarrow Q = 0$

Abb. 9.4: JK-Flip-Flop und Wahrheitstabelle für ein vorderflanken-gesteuertes JK-Flip-Flop.

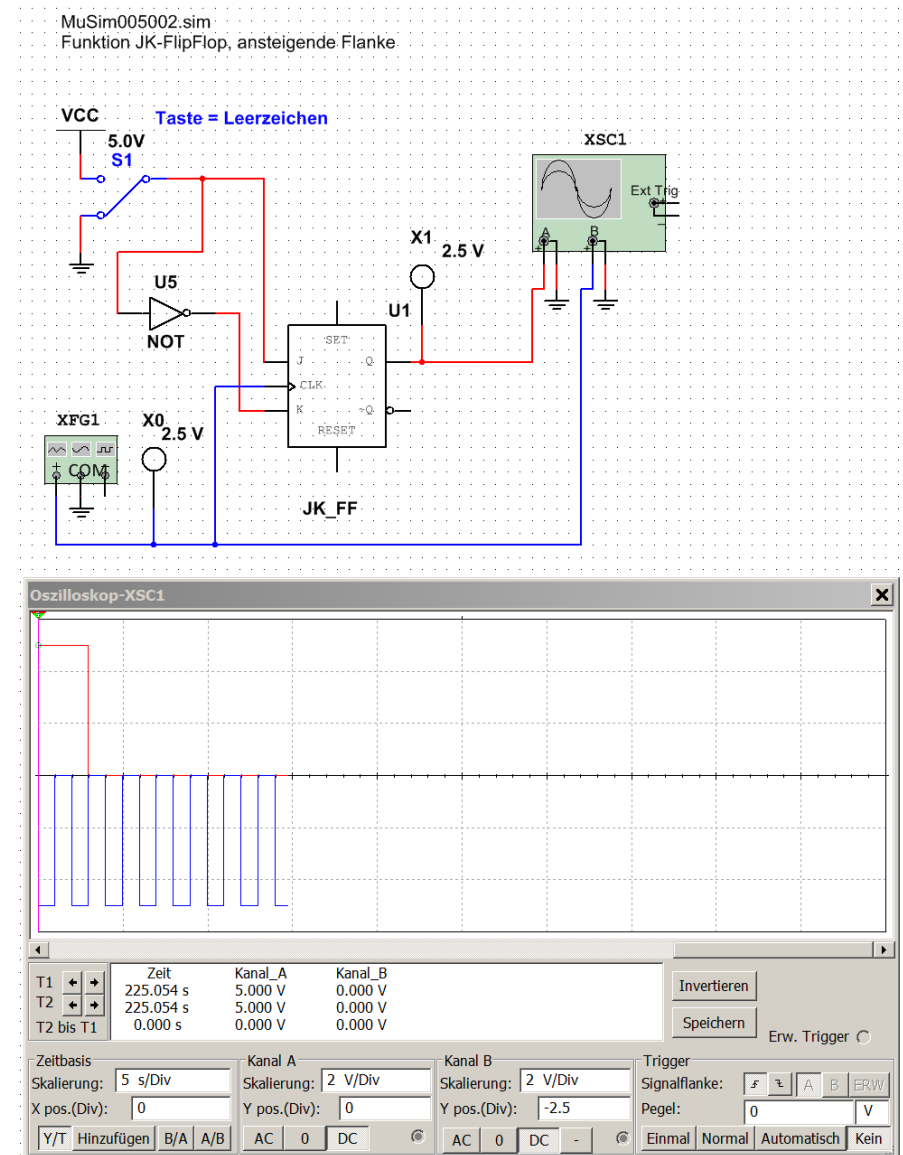


Abb. 9.5: Simulation zum JK-Flip-Flop. Hier wird bei der ansteigenden Flanke des Clock-Signals geschaltet.

9.2.2 Schieberegister aus JK-Flip-Flops

Ziele:

- Speicherung von Binärsignalen
- Verschiebung der Information innerhalb des Registers

Anwendungen:

- Verschiebung aller Stellen (bits) einer Dualzahl
 - zu höherwertigen bits (Multiplikation mit 2)
 - zu niederen Stellen (Division durch 2)
- bitweises Auslesen der Information (am Ausgang)
- Serien-Parallel-Wandlung von Information
- Parallel-Serien-Wandlung von Information

Eigenschaften:

- FIFO, first in – first out
- nur bedingt als Warteschlange tauglich
- Anwendung: serielle Schnittstelle (RS-232)

	0	0	0	0	
1 →	1	0	0	0	→ 0
0 →	0	1	0	0	→ 0
1 →	1	0	1	0	→ 0
1 →	1	1	0	1	→ 0 (z.B. jetzt weiterverarbeiten)
0 →	0	1	1	0	→ 1
0 →	0	0	1	1	→ 0

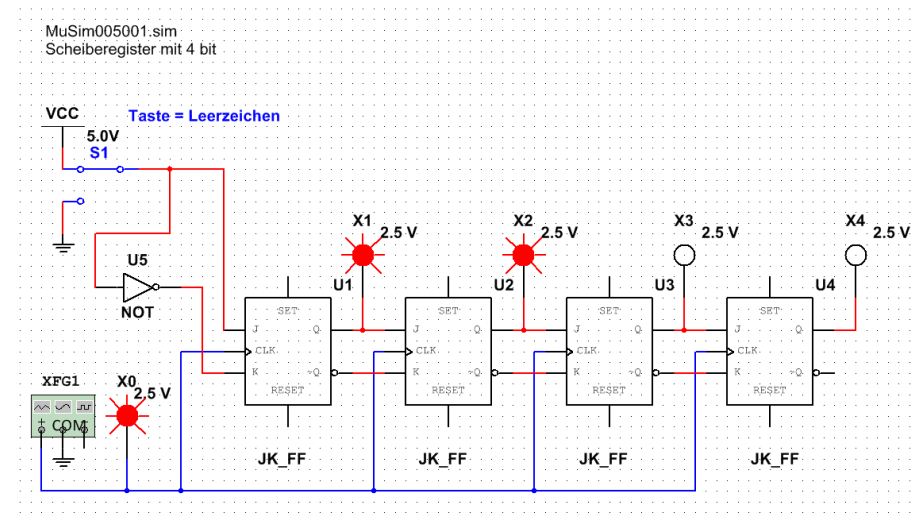


Abb. 9.6: Schieberegister aus JK-Flip-Flops.

Realisierung eines Schieberegisters

- Abb. 9.6
- Auswahl über Schalter S_1 :
 - Einschreiben von Nullen
 - oder Einsen
- mit jeder (hier ansteigenden) Flanke wird dieser Wert eingeschrieben

Alternativ: Paralleles Einschreiben

- über die Set-Eingänge
- und über die Reset-Eingänge

9.2.3 Flip-Flop-Speicher

Eigenschaften:

- keine serielle Eingabe oder Ausgabe
- nur parallele Eingabe und Ausgabe

Realisierungsbeispiel:

- s. Abb. 9.7
- Clock mit 0.5 Hz
- Auswahl der Bits über S_1 bis S_4
- Bestätigung über Anzeigen Y_1 bis Y_4
- erst nach ansteigender Flanke des Clock-Signals:
 - Schalten von U_1 bis U_4
 - Anzeige über X_1 bis X_4

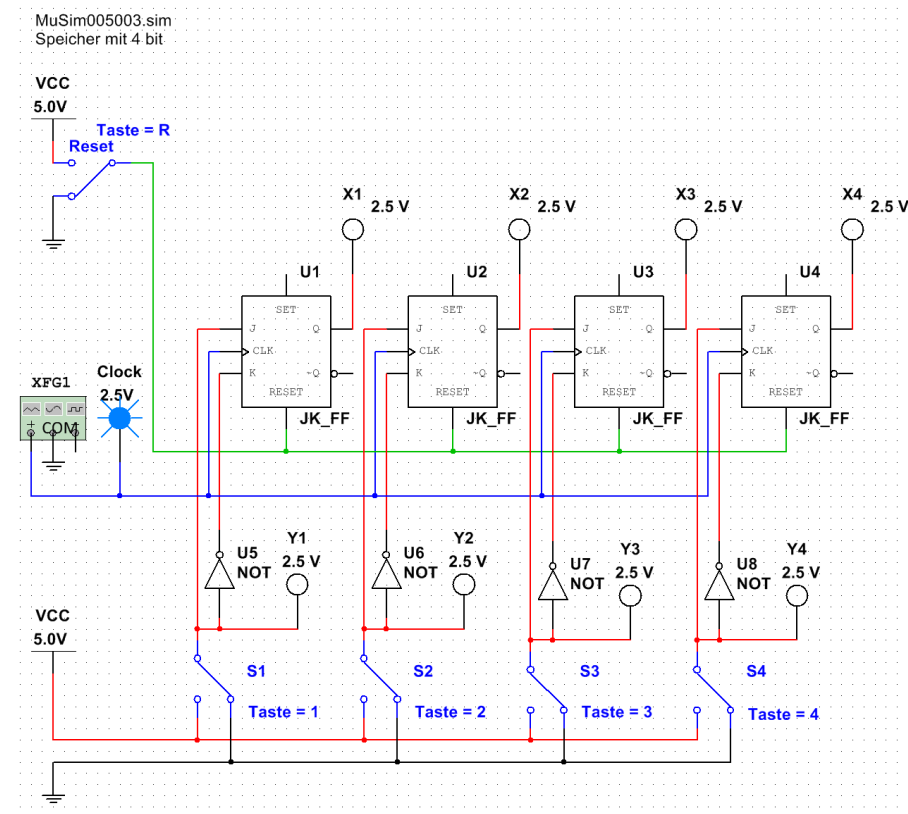


Abb. 9.7: Speicher mit 4 bit aus JK-Flip-Flops.

9.3 Adressierung

9.3.1 Koinzidenzadressierung

- planare Speicherorganisation (2D)
- Gesamtadresse: $M = m + n$ bits
- Annahme: Speichermatrix der Größe $2^m \times 2^n$
 - m bit zur Darstellung der Spalte
 - n bit zur Darstellung der Zeile
- Auslesen:
 - Koinzidenz von Reihe und Spalte
 - zusätzlich ggf. Chip-Select-Signal

Größe des Speichers:

- m bit zur Darstellung der Spalte (bit lines)
- n bit zur Darstellung der Zeile (word lines)
- Angabe der Speicher-Größe

$$S = 2^n \times 2^m \text{ bit} \quad (7)$$

- Beispiel: $n = 11$ und $m = 3$

$$S = 2048 \times 8 \text{ bit} \quad (8)$$

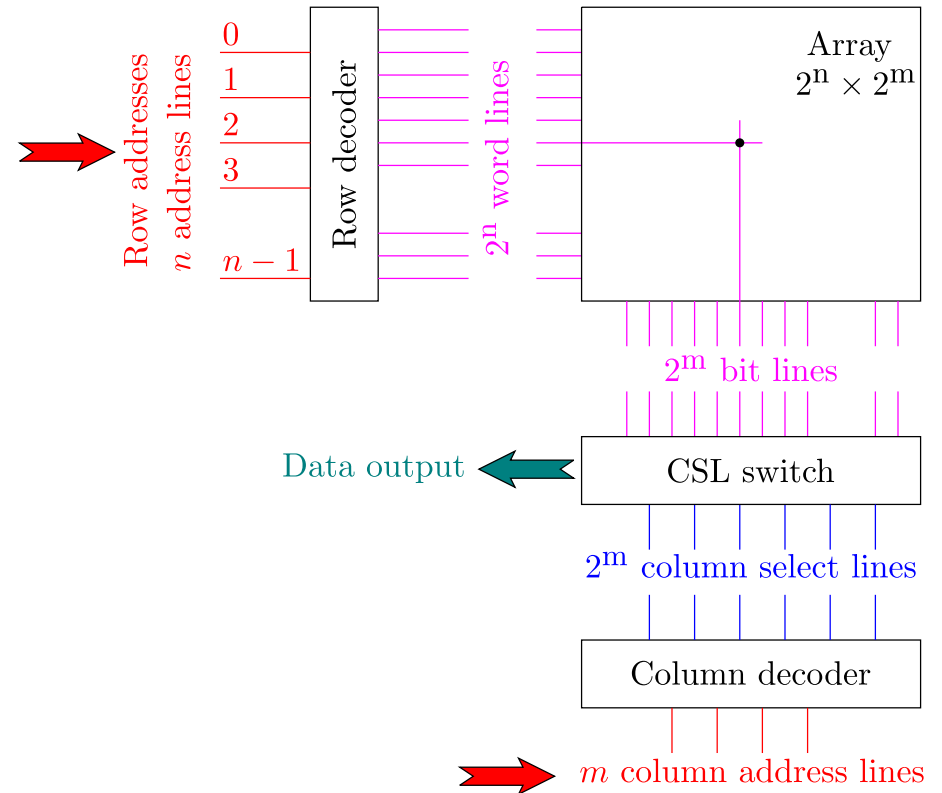


Abb. 9.8: Koinzidenz-Adressierung.

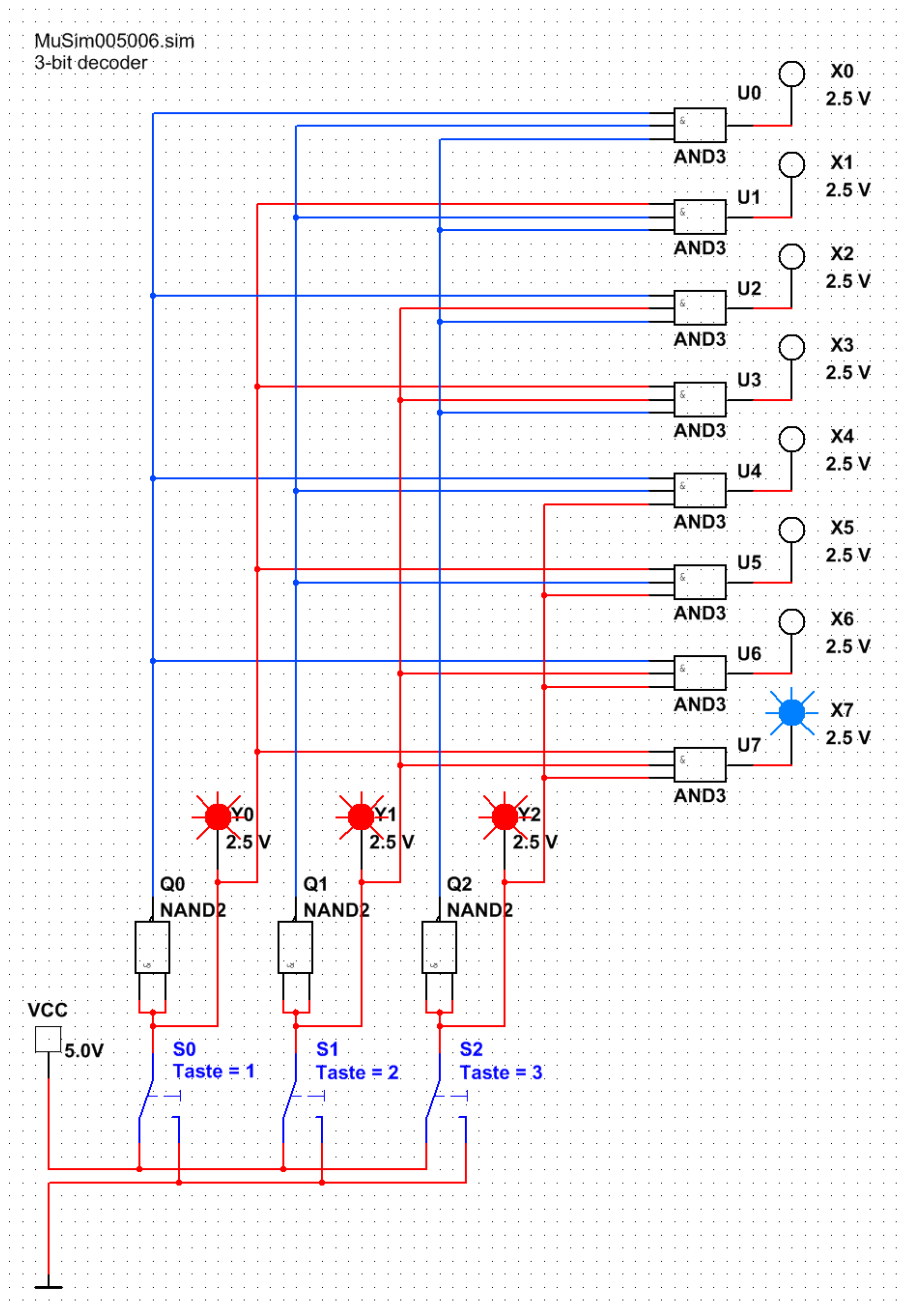


Abb. 9.9: UND-Feld-Dekodierung eines 3-bit-Decoders.

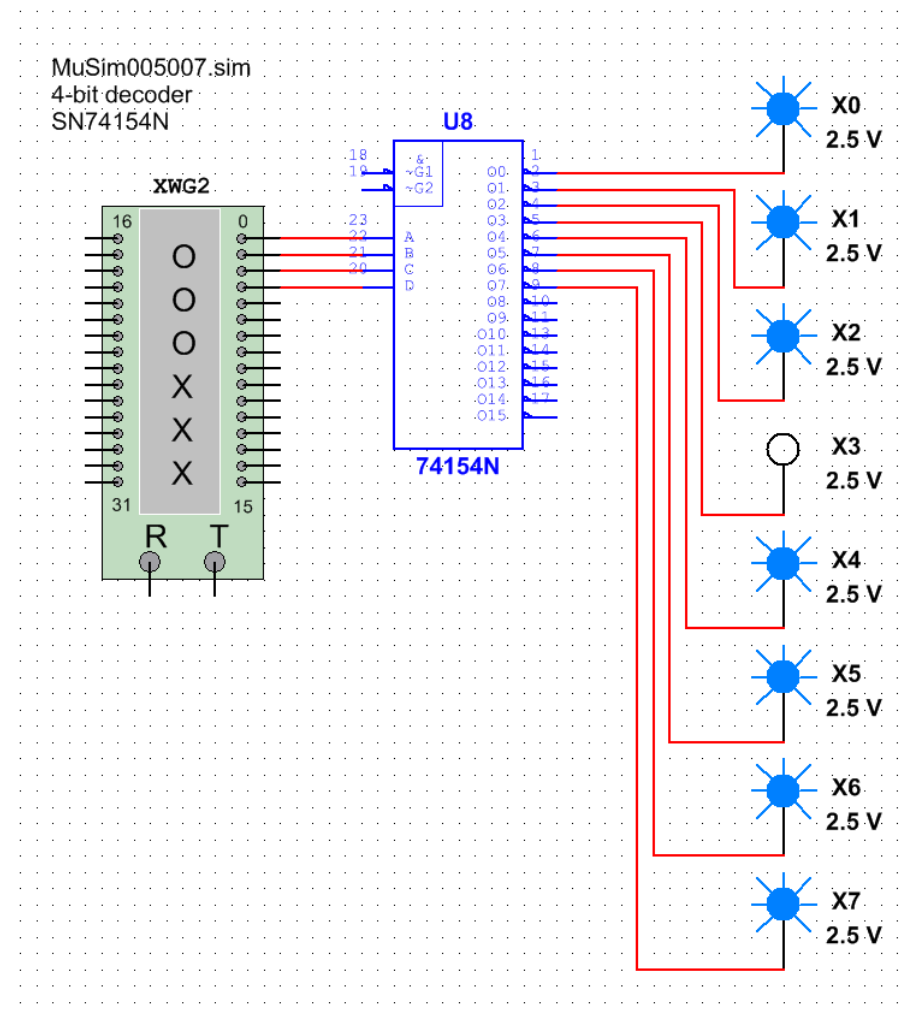
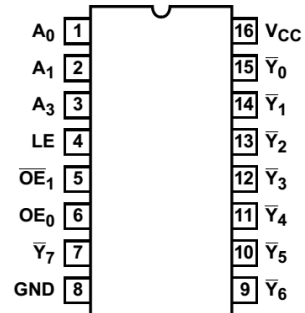


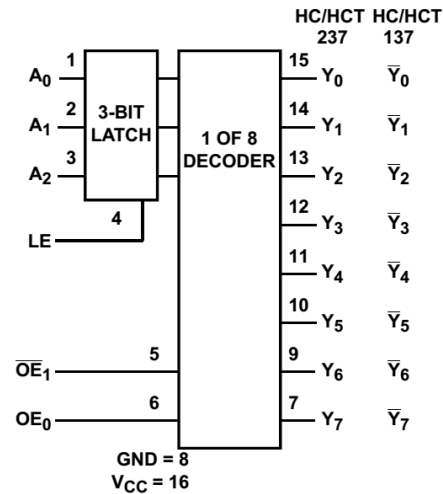
Abb. 9.10: Simulation zum 4-bit-Decoder SN74154N (wird nicht mehr hergestellt, Ersatz durch CD74HCT154?).

Pinout

CD54HC237 (CERDIP)
 CD74HC137 (PDIP, TSSOP)
 CD74HCT137 (PDIP, SOIC)
 CD74HC237 (PDIP, SOIC, SOP, TSSOP)
 CD74HCT237 (PDIP)
 TOP VIEW



Functional Diagram



'HC137, 'HCT137 TRUTH TABLE

INPUTS						OUTPUTS							
LE	OE ₀	OE ₁	A ₂	A ₁	A ₀	Y ₀	Y ₁	Y ₂	Y ₃	Y ₄	Y ₅	Y ₆	Y ₇
X	X	H	X	X	X	H	H	H	H	H	H	H	H
X	L	X	X	X	X	H	H	H	H	H	H	H	H
L	H	L	L	L	L	L	H	H	H	H	H	H	H
L	H	L	L	L	H	H	L	H	H	H	H	H	H
L	H	L	L	H	L	H	H	L	H	H	H	H	H
L	H	L	L	H	H	H	H	H	L	H	H	H	H
L	H	L	H	L	L	H	H	H	H	L	H	H	H
L	H	L	H	L	H	H	H	H	H	H	L	H	H
L	H	L	H	H	L	H	H	H	H	H	H	L	H
L	H	L	H	H	H	H	H	H	H	H	H	H	L
H	H	L	X	X	X	Depends upon the address previously applied while LE was at a logic low.							

H = High Voltage Level, L = Low Voltage Level, X = Don't Care

Abb. 9.11: Auszug aus dem Datenblatt des „3- to 8-Line Decoders“ CD74HC(HCT)137. Quelle: Texas Instruments. Kosten für DIP-Ausführung 0.53 EUR (2018).

9.4 Read Only Memory (ROM)

Stand der Technik:

- Festwertespeicher:
 - Ersatz für große logische Schaltnetzwerke
 - meist Masken-ROMs
- heute häufig durch PROMs ersetzt

Masken-ROM:

- Bei der Produktion wird der Speicherinhalt mit einer Maske festgelegt.
- lohnt sich nur bei großen Stückzahlen
- Beispiele:
 - Algorithmen in Taschenrechnern
 - Steuerungselektronik der Automobiltechnik

Festwertespeicher als Schaltnetzwerk:

- s. Abb. 9.12
- Datenfestlegung über die Anordnung der Dioden
- Eingangsvariablen A_i
(werden als Speicheradressen interpretiert a_j)
- Wahrheitstabelle: Zustand der Ausgangsvariablen D_k
- Datenleitungen: $D_k = 1$, wenn es eine Verbindung zur Adressleitung a_j über eine Diode gibt

Signalfluss:

- Potentialänderung
- z.B. entlang der roten Linie
- aber nicht von a_2 nach a_3 entlang der gestrichelten Linie, da auf diesem Weg die Spannung über der Diode abfällt

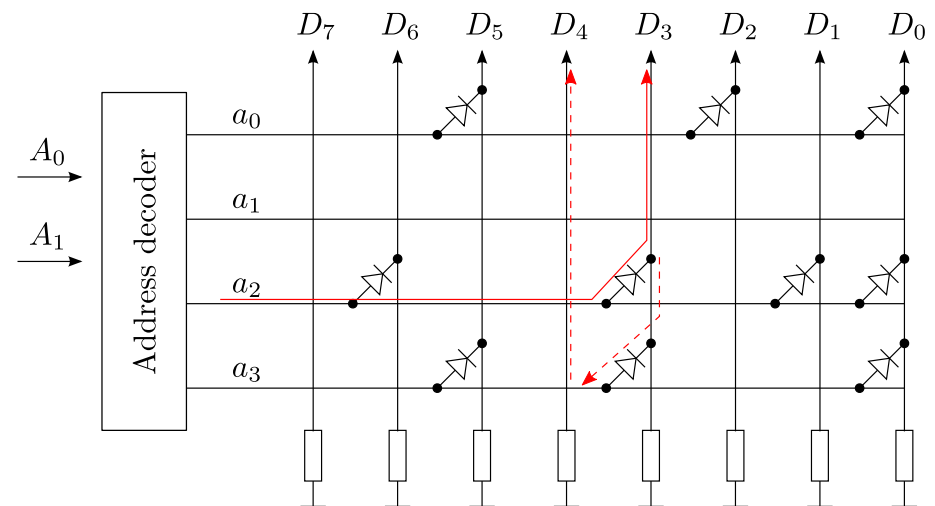


Abb. 9.12: Aufbau eines Festwertespeichers mit 4×8 bit.

In der Anwendung:

- permanente Daten
- Erhalt der Information über Betriebsdauer hinaus

9.4.1 Programmable ROMs (PROMs)

Aufbau:

- ähnlich zu ROMs (Abb. 9.12)
- aber an Kreuzungspunktion
 - Dioden
 - und Sicherungselemente (Widerstände meist aus poly-Si)

Programmierung:

- durch den Anwender
- mit Programmiergerät
- kurze Strompulse zerstören (brennen) die Sicherungselemente

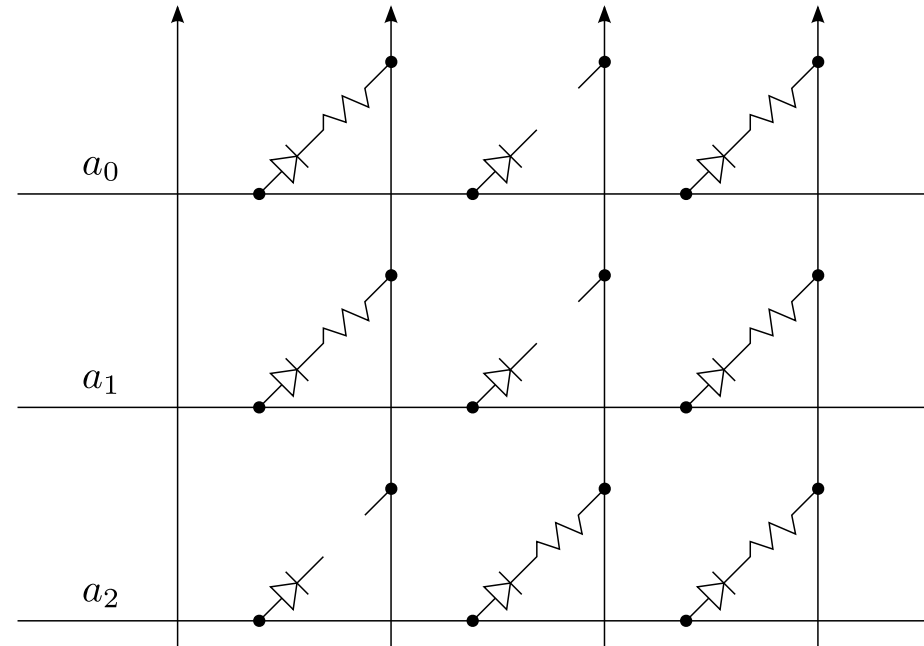


Abb. 9.13: Schema zu programmierbaren ROMs (PROMs).

9.4.2 EPROMs und EEPROMs

Erased programmable ROM:

- Programmierung eines floating-gate MOSFETs
- durch Speicherung von Ladung am Gate
- Ladung hält für mindestens 10 Jahre
- Löschung mittels UV-Licht durch Fenster
- OTP-Versionen (one time programmable):
 - kein Fenster
 - Löschung durch Röntgenstrahlung

Electrically erasable ROM:

- EEPROMs
- Schreiben und Lesen wie bei EPROMs
- Löschung auf elektronischem Weg



Abb. 9.14: Programmiergerät für EPROMs. Beachte den Zero-insertion-force connector (ZIF).

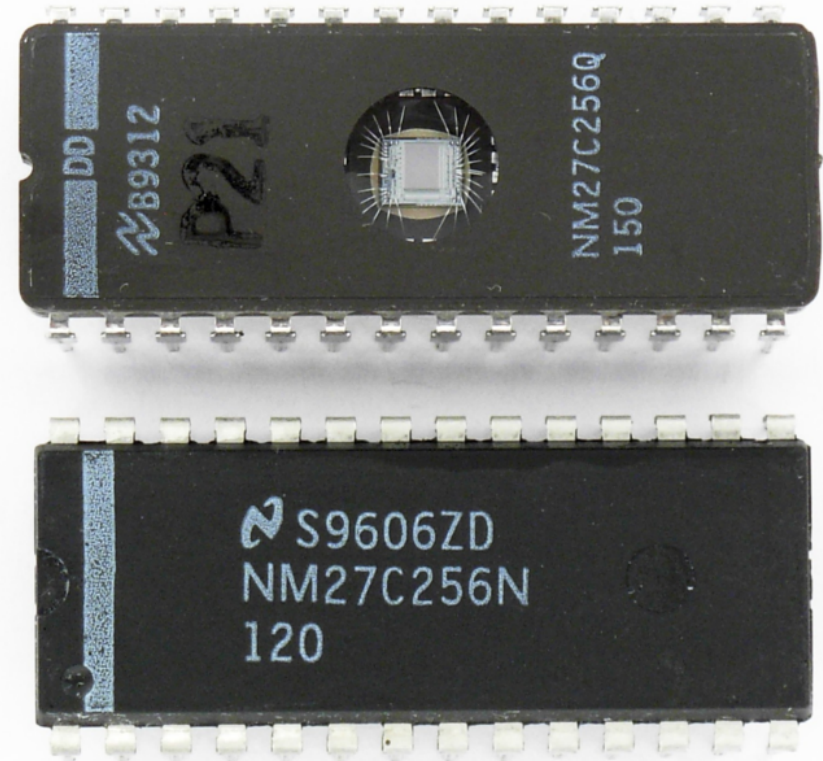


Abb. 9.15: 256-kBit-EPROMs im 28-poligen DIP. Oben im Keramikgehäuse mit Quarzfenster (löscher), unten OTP-Version im Plastikgehäuse (OTP). Quelle: Wikipedia.

9.4.3 Innenleben von EPROMs und EEPROMs

Flash-Speicherzellen:

- „erases in a flash“
- Floating-gate MOSFETs:
 - n-Kanal MOSFET
 - Floating-Gate eingebettet in Dielektrikum
- Ladung auf dem Floating-Gate:
 - bestimmt die Leitfähigkeit des Kanals
 - genauer: die Schwellspannung

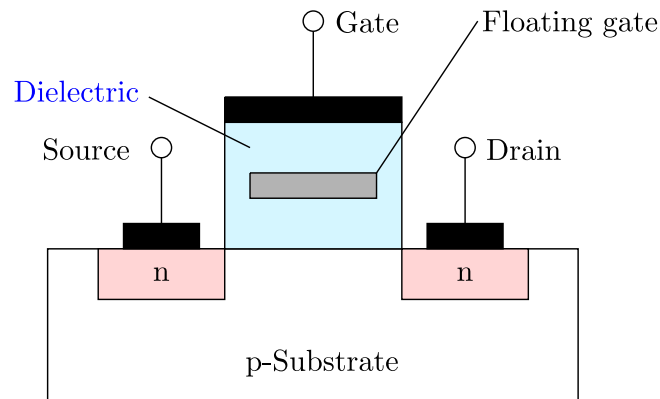


Abb. 9.16: Schema zu einer Flash-Speicherzelle.

Zustände:

- neutral, meist bit = 1
- geladen, meist bit = 0

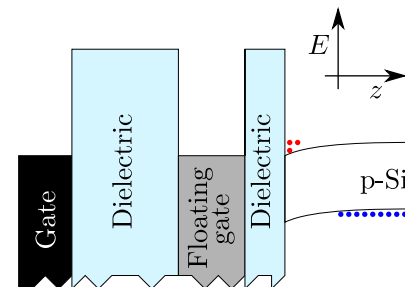
Schreiben:

- Fowler-Nordheim-Tunneln (FN) oder thermionisch (TE)

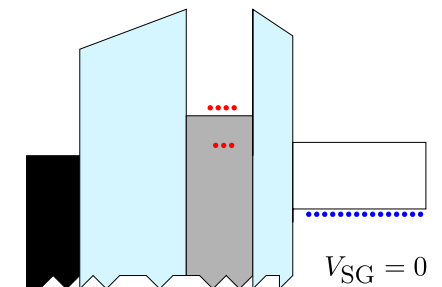
Löschen:

- Fowler-Nordheim-Tunneln (FN)
- oder Lichtabsorption und Transport über die Barrieren

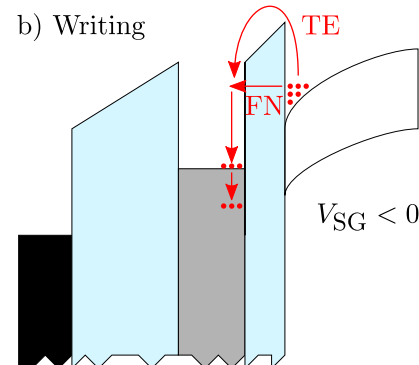
a) Neutral, bit = 1



c) Charged, bit = 0



b) Writing



d) Erasing

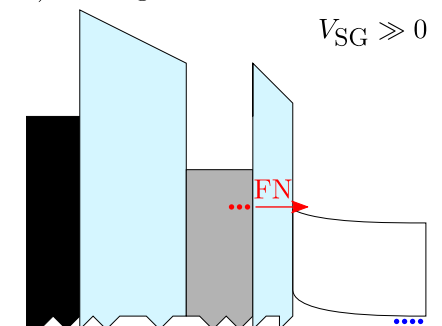


Abb. 9.17: Zustände sowie Beschreiben und Löschen einer Flash-Speicherzelle.

Kennlinien:

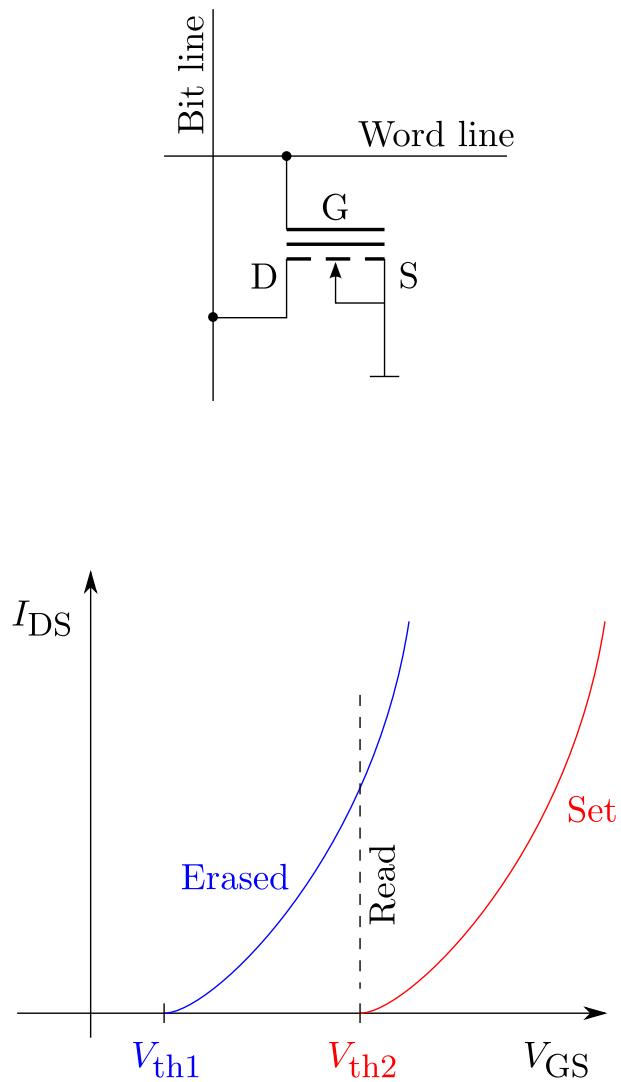


Abb. 9.18: Oben: Speicherzelle. Unten: Kennlinien. Nach Ref. [1].

Beschaltung beim Schreiben, Lesen und Löschen:

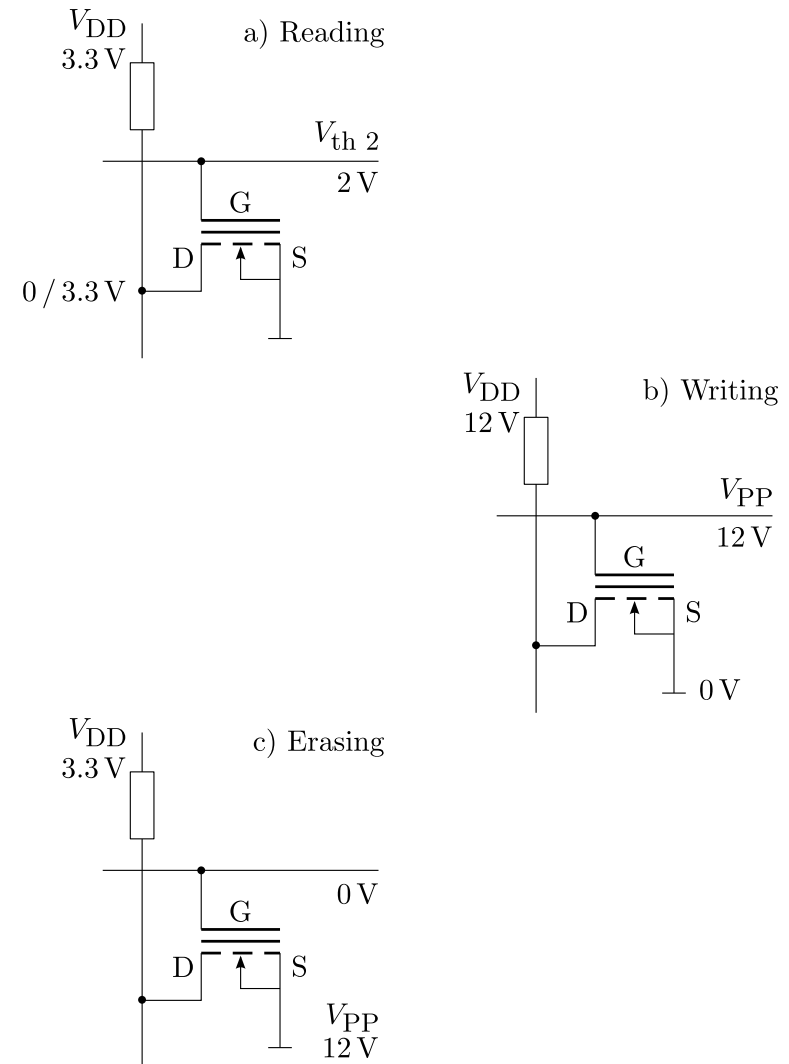
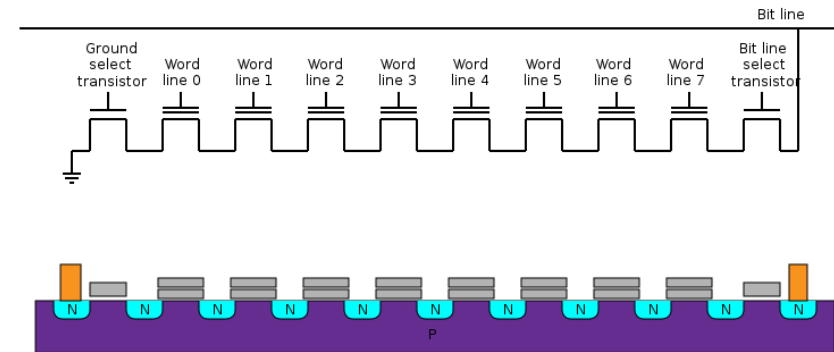


Abb. 9.19: Spannungen beim Lesen, Schreiben und Löschen. Die Spannungswerte sind lediglich Beispiele. Nach Ref. [1].

9.4.4 Flash-Architekturen

NAND-Flash:

- wesentlich geringerer Flächenverbrauch als NOR-Flash (Zusammenfassung der Datenleitungen)
- Zusammenfassung von:
 - Pages, mindestens 512 Bytes
 - Blocks: meist 128 Pages
 - Schreiben, Löschen & Lesen blockweise
 - kein „Random Byte Level Access“
 - Ersatz von Plattenspeichern
 - Löschzyklen: bis zu 10^6



NOR-Flash:

- beim Leseprozess kann auf alle Bytes wahlweise zugegriffen werden
- kein „Page-Mode Data Access“
- hohe Schreibgeschwindigkeit bei kleinen Datenmengen
- SRAM-ähnliches Bussystem
- Löschzyklen: $10^4 - 10^5$
- haben UV-löschbare EPROMS nahezu vollständig ersetzt

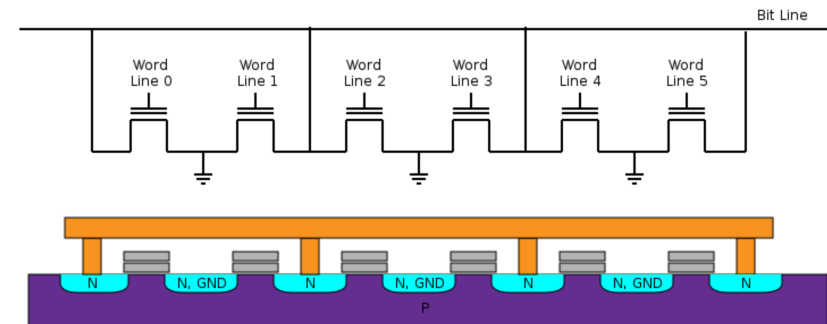


Abb. 9.20: Oben: Aufbau von NAND-Flash. Unten: NOR-Flash. Quelle: Wikipedia.

9.4.5 Stand der Technik 2018

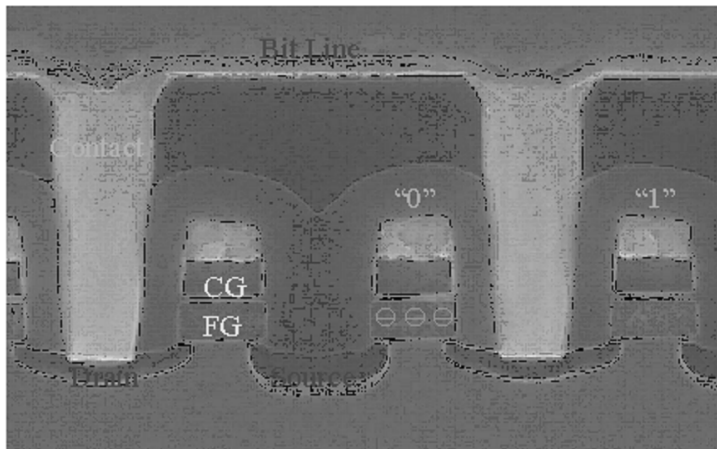


Abb. 9.21: Schnitt durch Flash-Speicherzellen in 180 nm-Technologie (veraltet). Aus Ref. [7].

- veraltet: 16 GB microSD-Karte: 139 GB/cm²
- Jan. 2018: microSD-Karte von Integral Memory
 - Speicher: 512 GByte
 - Leserate: 80 MByte/s

Multi-Level-Technik:

- SLC (1 bit per cell) - fastest, highest cost
- MLC (2 bits per cell)
- TLC (3 bits per cell)
- QLC (4 bits per cell) - slowest, least cost

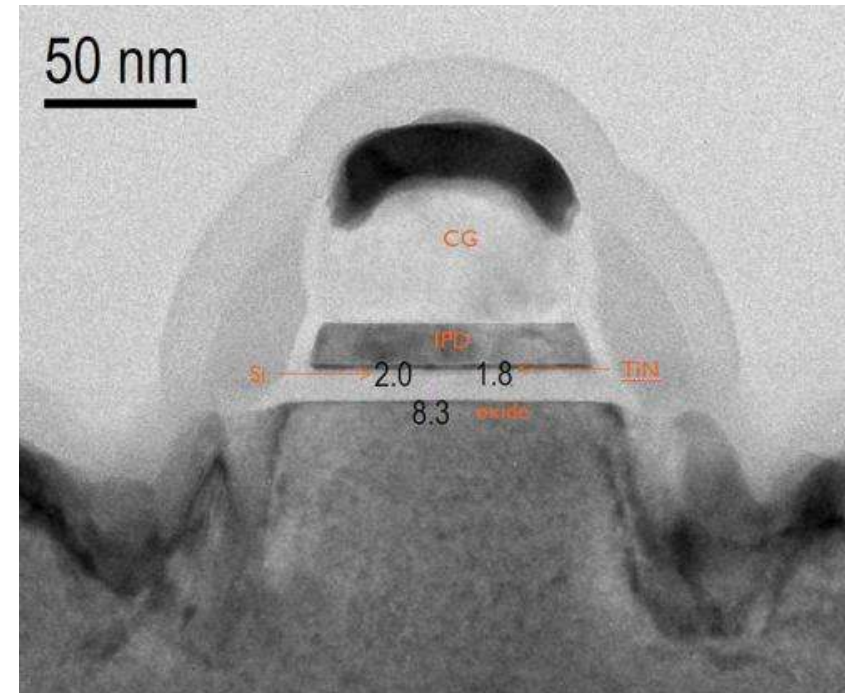


Abb. 9.22: Ultra-thin hybrid floating gate cell with high- k dielectric. Quelle: Phys.org (Dez 2012).

Frage: high- k ?

9.5 Static RAM (SRAM)

Random-Access Memory, Wiederholung:

- Lesen, Schreiben und Löschen möglich
- flüchtiger Speicher
(ohne Versorgungsspannung → Informationsverlust)

Unterscheidung flüchtiger Speicher:

- Static RAM (SRAM, Abschnitt 9.5)
 - Informations-Speicherung in Flip-Flops
 - Datenremanenz, solange Spannungsversorgung
 - Stromverbrauch kann sehr klein sein (Li-Batterie)
 - Anwendungen:
 - CPU register files, internal CPU caches
 - von Automobiltechnik bis zu wiss. Gerät
- Dynamic RAM (DRAM, Abschnitt 9.6)
 - Informations-Speicherung in Kondensatoren
 - größere Dichten als SRAM
 - Ladungsverluste begrenzen die Speicherdauer
 - Auffrischungsschaltung
 - wesentlich preiswerter als SRAM
 - Anwendungen:
 - Arbeitsspeicher im Computer

	DRAM	SRAM	Flash
Zugriffszeit (ns)	4 (2014)	10 (2014)	50 (?)
Datenerhaltung (a)	0	0	>10
Lesezyklen	> 10^{15}	> 10^{15}	> 10^{15}
Schreib-/Löschzyklen	> 10^{15}	> 10^{15}	10^6
Schreibzeit	50 ns	5 ns	10 μ s
Schreibspannung (V)	< 5	1 – 5	10 – 18
Skalierbarkeit	begr.	gut	begr.

Tab. 9.3: Vergleich verschiedener Speichertypen. Die angegebenen Zahlen aktualisieren ständig und können nur Vergleichsmaßstab sein.

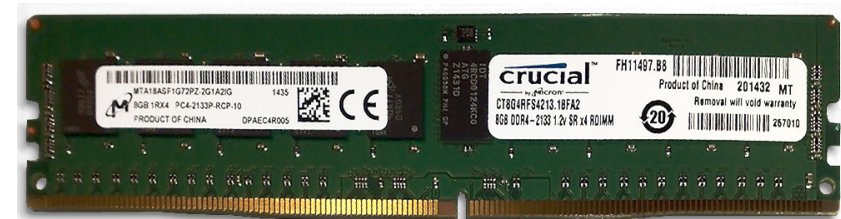


Abb. 9.23: Oben: ein SDRAM von Hynix. Unten: ein DDR4-SDRAM. Quelle: Wikipedia.

9.5.1 Aufbau von SRAM

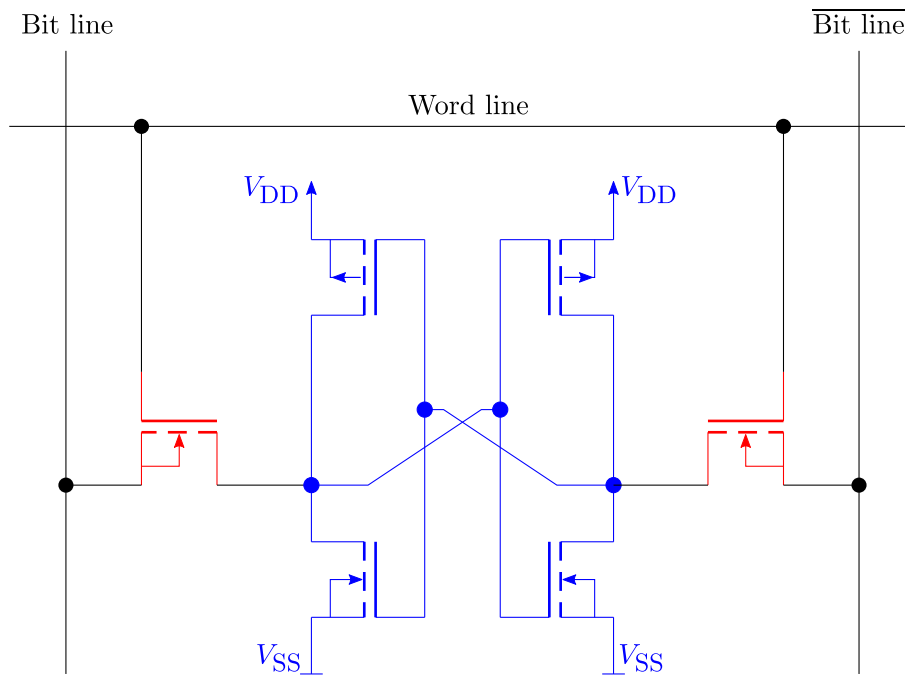


Abb. 9.24: Aufbau einer SRAM-Speicherzelle als 6-Transistor Zelle. Nach Ref. [1], S. 718.

Symmetrischer Aufbau:

- sowohl „Bit line“ als auch „ $\overline{\text{Bit line}}$ “
- differentielles Auslesen
- differentieller Schreib-/Lese-Verstärker

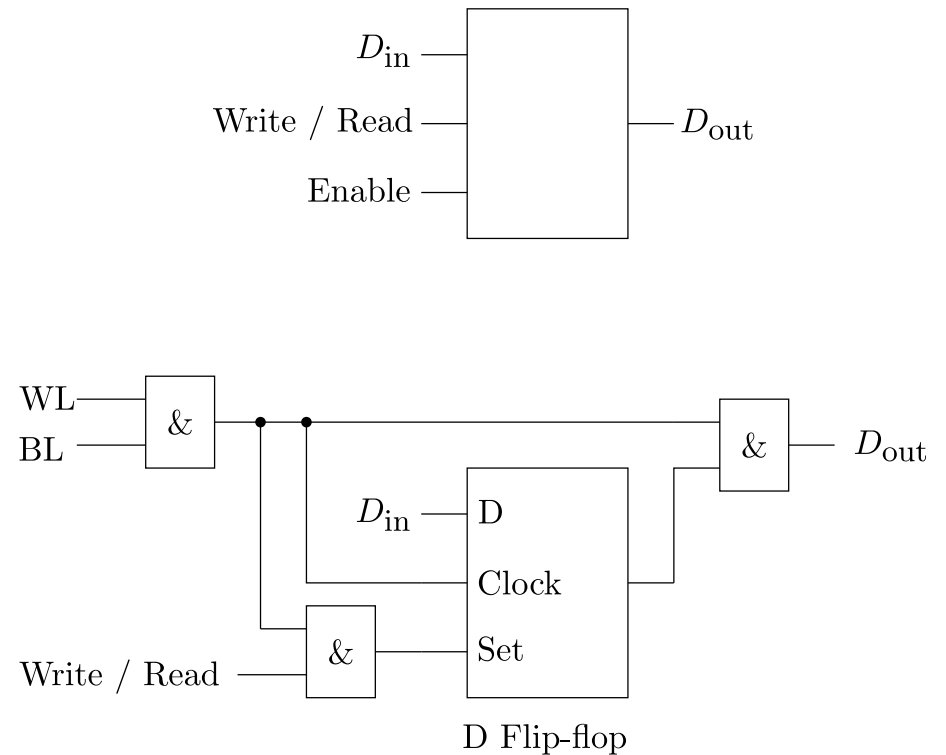


Abb. 9.25: Oben: Schreib-/Lesezelle. Unten: Darstellung anhand eines D-Flip-Flops.

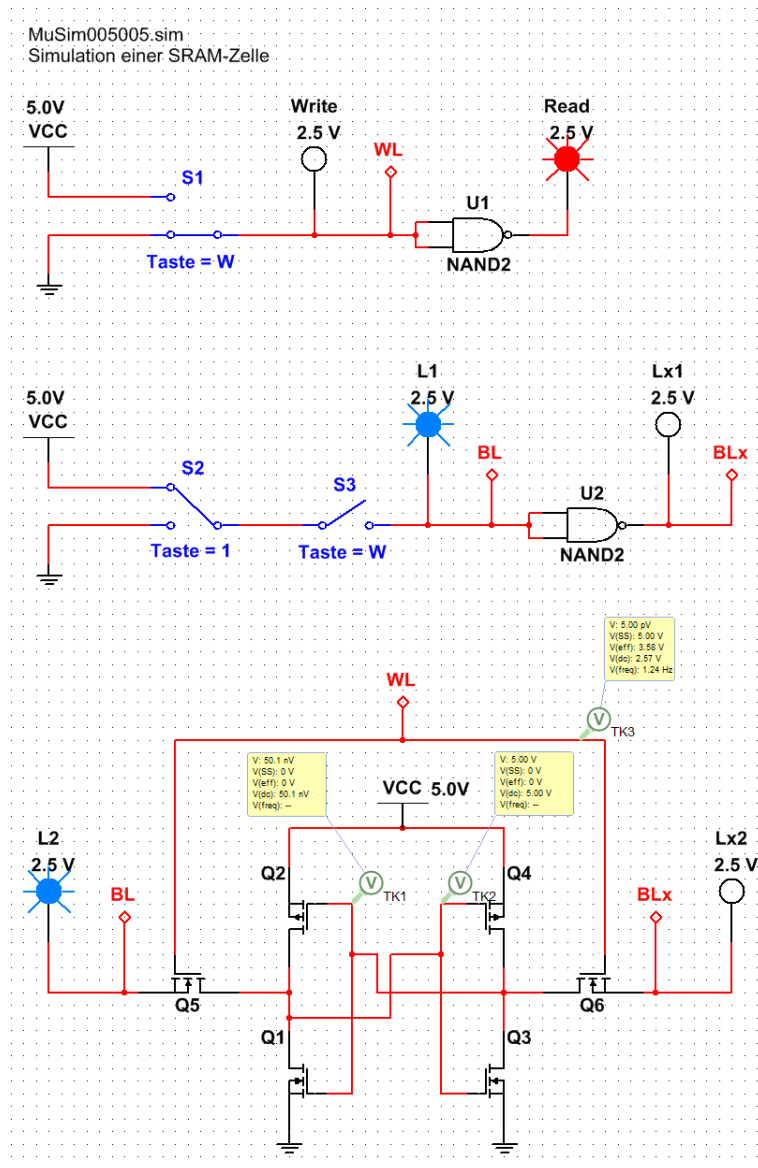


Abb. 9.26: Simulation einer SRAM-Zelle. Funktioniert so nicht; „bad wiring“.

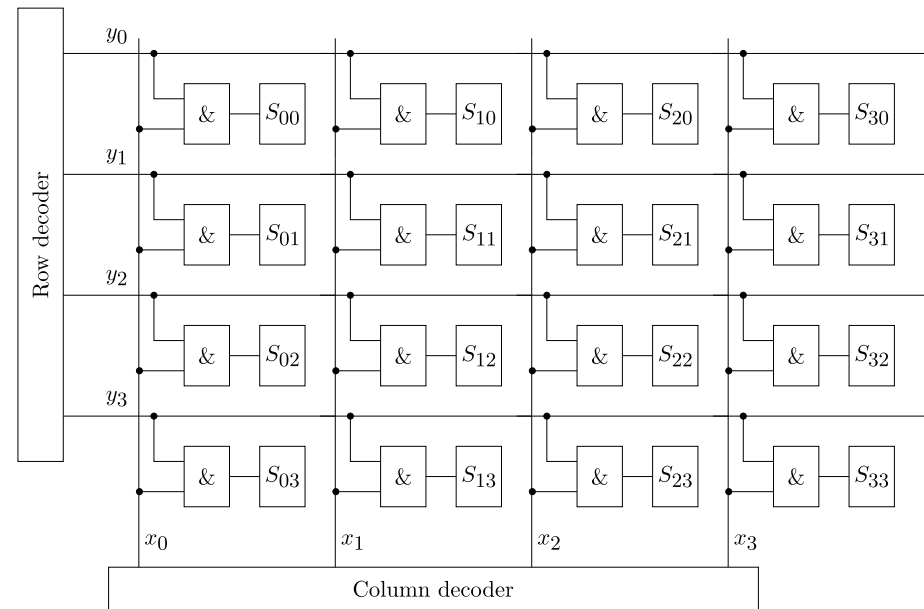


Abb. 9.27: Aufbau eines RAMs mit einer Speicherkapazität von 16 Bit. Die Ansteuerlogik der einzelnen Zellen ist nicht vollständig eingezeichnet.

9.5.2 Zeitliche Abläufe bei SRAM

Signale:

A	:	Address	Angabe der Adresse
D	:	Data	Ein- oder ausgehende Daten
CS	:	Chip select	Chip ignoriert ansonsten Eingaben
R/\overline{W}	:	Read or write	

Charakteristische Zeiten:

Lesen	t_{AA}	Address access time
Schreiben	t_{AS}	Address setup time
	t_{WP}	Write pulse width
	t_{DW}	Data valid to end of write time
	t_H	Hold time

Lese-Zugriffszeit:

- t_{AA}
- Wartezeit bis Daten zur Verfügung stehen

Schreib-Zykluszeit:

$$t_W = t_{AS} + t_{WP} + t_H \quad (9)$$

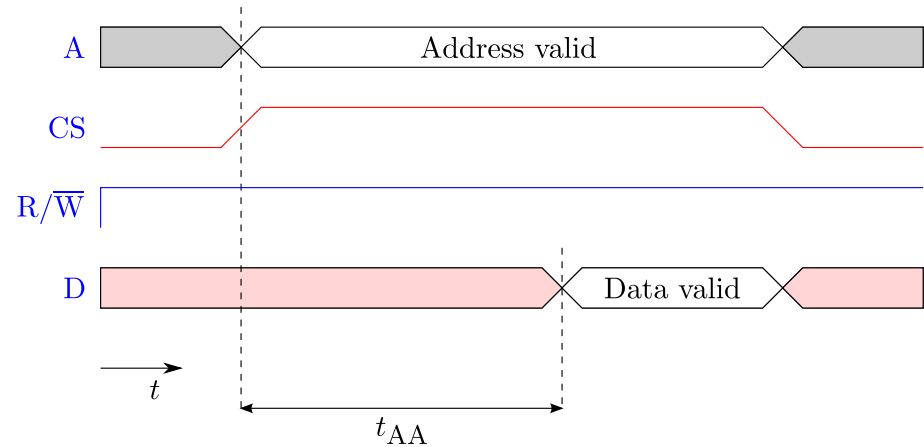


Abb. 9.28: Zeitlicher Ablauf eines Lesevorgangs. Nach Ref. [1], S. 719.

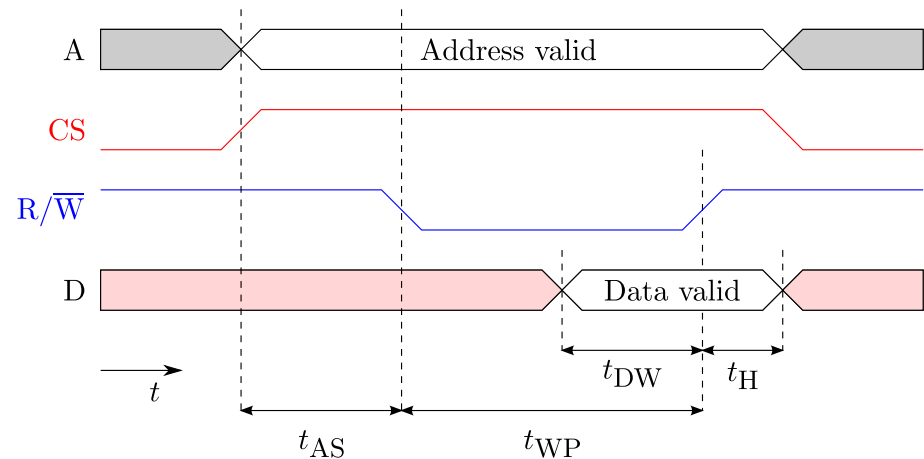


Abb. 9.29: Zeitlicher Ablauf eines Schreibvorgangs. Nach Ref. [1], S. 719.

Kapazität	Organisation	Typ	Hersteller	Betriebsspannung	Zugriffszeit ² Taktfrequenz
1 Mbit	128 k × 8	CY7C1018	Cypress	3.3 V	10 ns
	32 k × 32	CY7C1214	Cypress	3.3 V	100 MHz
	64 k × 16	CY62126	Cypress	3.3 V	50 ns
	32 k × 32	IDT71V432	IDT	3.3 V	100 MHz
	64 k × 16	IDT71V016	IDT	3.3 V	10 ns
	128 k × 8	M5MV108	Renesas	3.3 V	70 ns
	128 k × 8	DS1245W ¹	Maxim	3.3 V	100 ns
4 Mbit	256 k × 16	CY7C1041	Cypress	3.3 V	10 ns
	256 k × 16	CY62146	Cypress	3.3 V	55 ns
	256 k × 16	IDT71V416	IDT	3.3 V	10 ns
	1 M × 4	IDT71V428	IDT	3.3 V	10 ns
	256 k × 18	IDT71V3578	IDT	3.3 V	150 MHz
	256 k × 16	R1RW0416	Renesas	3.3 V	12 ns
	256 k × 16	R1LV0416	Renesas	2.5 V	55 ns
	256 k × 16	M68AR256	ST	1.8 V	70 ns
	512 k × 8	DS1350W ¹	Maxim	3.3 V	70 ns
16 Mbit	1 M × 16	CY7C1061	Cypress	3.3 V	8 ns
	1 M × 16	CY62167	Cypress	1.8 V	55 ns
	512 k × 36	CY7C1316	Cypress	1.8 V	250 MHz
	1 M × 18	IDT71P72804	IDT	1.8 V	250 MHz
	1 M × 18	M5M5V5A36	Renesas	3.3 V	8 ns
	1 M × 16	R1LV1616	Renesas	3.3 V	45 ns
	2 M × 8	DS1270W ¹	Maxim	3.3 V	100 ns
32 Mbit	2 M × 18	HM66AEB18202	Renesas	1.8 V	300 MHz
	2 M × 16	R1WV3216	Renesas	3.3 V	85 ns

¹ Lithium-Batterie enthalten; Datenerhalt 5 – 10 Jahre

² Wenn eine Zugriffszeit angegeben ist, ist das RAM asynchron;
wenn eine Frequenz angegeben ist, ist das RAM synchron.

Schnelle SRAMs:

- Zugriffszeiten 10 ns bzw. 100 MHz
- hohe Stromaufnahme

Langsame SRAMs:

- Zugriffszeiten um 100 ns
- Stromaufnahme wenige μA ,
wenn kein Datenzugriff
- Li-Batterien zur Stromversorgung

Anwendung im PC:

- in Cache speichern
- hier ist die schnelle Zugriffszeit wertvoll

Abb. 9.30: Beispiele für SRAMs. Aus Ref. [1], S. 720.

TABLE 2-1: INSTRUCTION SET

Instruction Name	Instruction Format	Hex Code	Description
READ	0000 0011	0x03	Read data from memory array beginning at selected address
WRITE	0000 0010	0x02	Write data to memory array beginning at selected address
EDIO	0011 1011	0x3B	Enter Dual I/O access (enter SDI bus mode)
EQIO	0011 1000	0x38	Enter Quad I/O access (enter SQI bus mode)
RSTIO	1111 1111	0xFF	Reset Dual and Quad I/O access (revert to SPI bus mode)
RDMR	0000 0101	0x05	Read Mode Register
WRMR	0000 0001	0x01	Write Mode Register

FIGURE 2-1: BYTE READ SEQUENCE (SPI MODE)

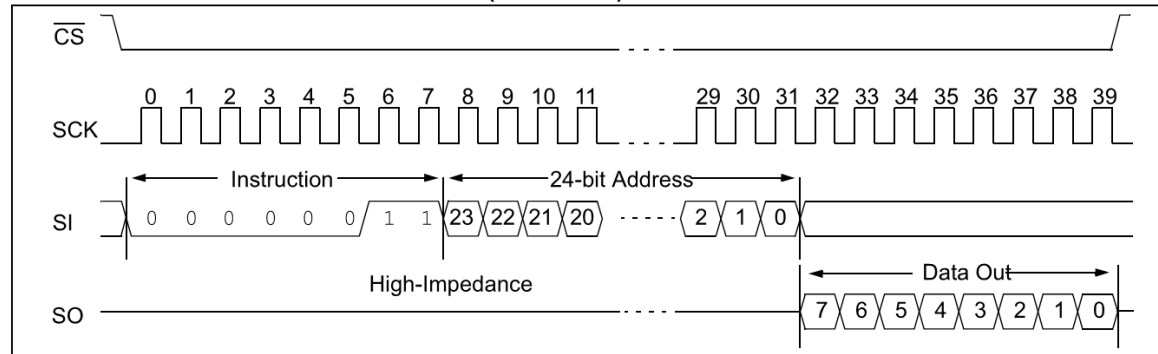


FIGURE 2-2: BYTE WRITE SEQUENCE (SPI MODE)

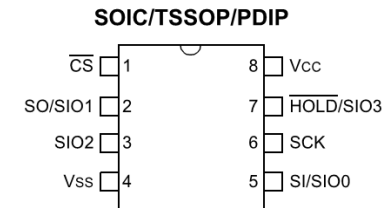
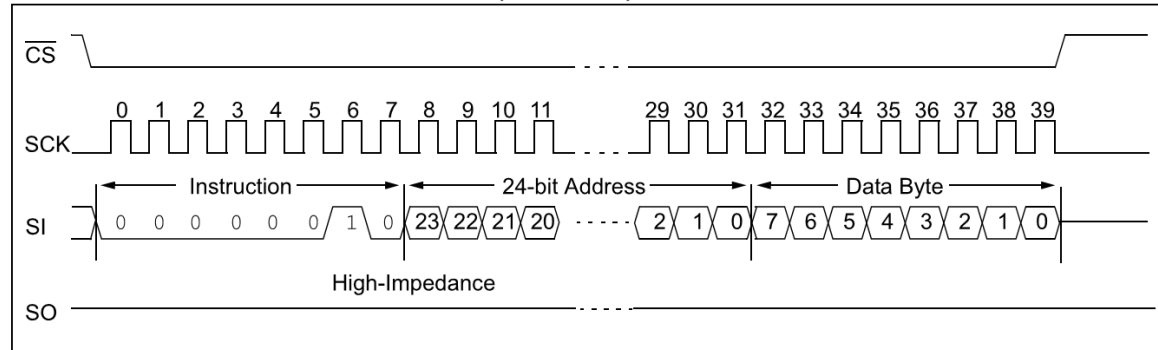
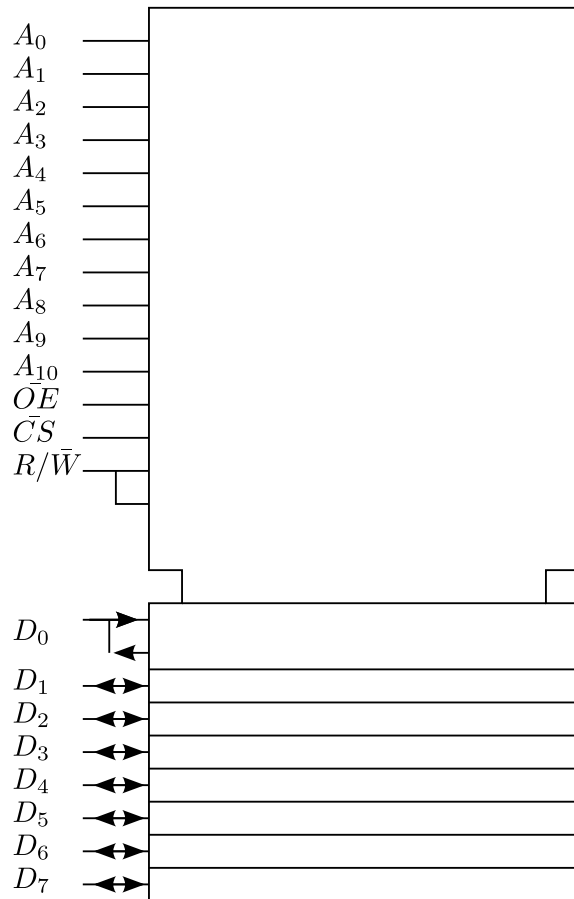


Abb. 9.31: Seriell adressierbarer SRAM:
 * der 23A1024 von Microchip Techn. Inc
 * serial peripheral interface (SPI, später)
 * 1 Mbit, 20 MHz
 * Kosten: 2.80 EUR

Pin Function Table

Name	Function
CS	Chip Select Input Pin
SO/SIO1	Serial Output/SDI/SQI Pin
SIO2	SQI Pin
Vss	Ground Pin
SI/SIO0	Serial Input/SDI/SQI Pin
SCK	Serial Clock Pin
HOLD/SIO3	Hold/SQI Pin
Vcc	Power Supply Pin



$A_0 - A_{10}$	Adresseingänge (0 – 2047)
$D_1 - D_7$	Dateneingänge und- ausgänge
CS	Chip select (ansonsten Ruhemodus)
R/\bar{W}	Auswahl Read oder Write
OE	Output enable

Tab. 9.4: Zur Pinbelegung.

Abb. 9.32: Parallel adressierbarer SRAM $2k \times 8$. Nach Ref. [8], S. 166.

Beispiel: M48Z02-150PC1

- SRAM $2k \times 8$
- STMicroelectronics
- Kosten: 8.70 EUR

9.6 Dynamic RAM (DRAM)

Konzept:

- Reduktion des Platzbedarfs
 - anstelle der 6 Transistoren in SRAM
 - nur 1 Transistor und ein Kondensator
- Kostenreduktion

Vorteile: (gegenüber SRAM)

- preiswert
- hohe Speicherdichte
- ideal für Arbeitsspeicher

Nachteile: (gegenüber SRAM)

- gering Kapazität ($C \approx 50 \text{ pF}$)
- signifikante Leckströme
- Refresh notwendig, etwa alle 50 ms
- etwas langsamer als SRAM, wenn Vergleich zulässig

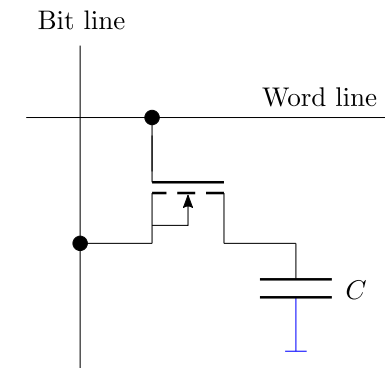


Abb. 9.33: Zelle eines DRAMs. Nach Ref. [1], S. 721.

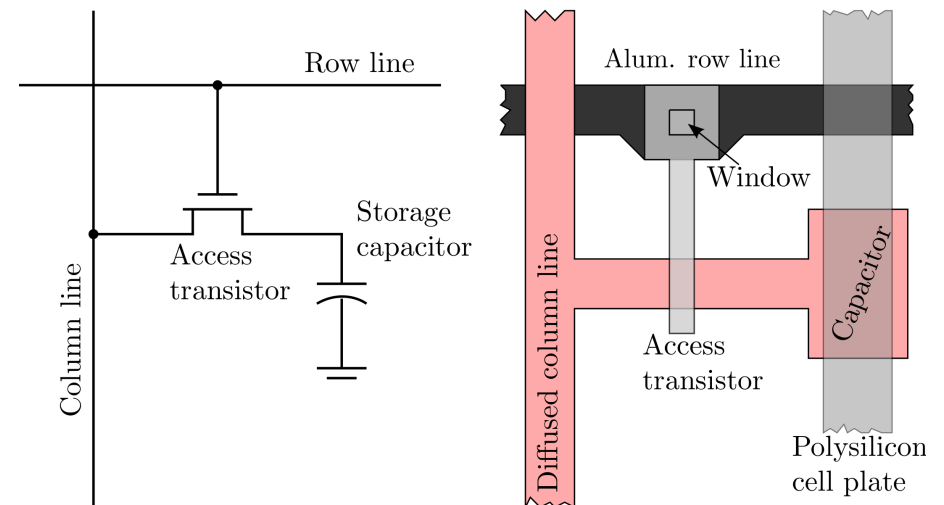


Abb. 9.34: DRAM-Zelle bestehend aus einem FET und einer Kapazität. Links: Schaltplan. Rechts: Schema zur technischen Realisierung, Stand 1985. Nach Ref. [6], S. 487.

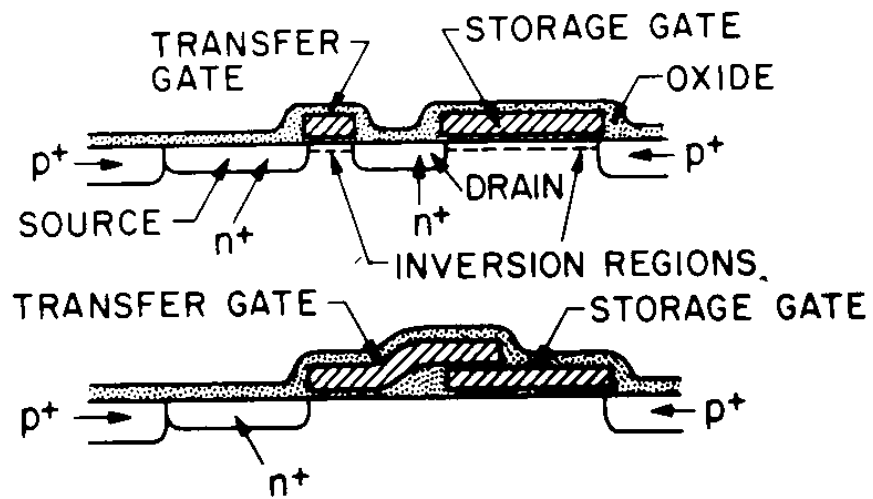


Abb. 9.35: DRAM-Zelle, bestehend aus einem FET und einer Kapazität, Stand 1985. Aus Ref. [6], S. 487.

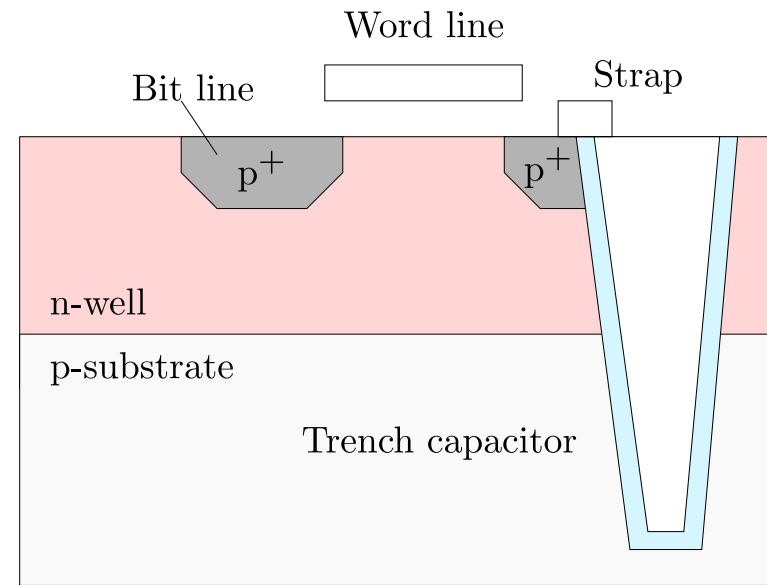
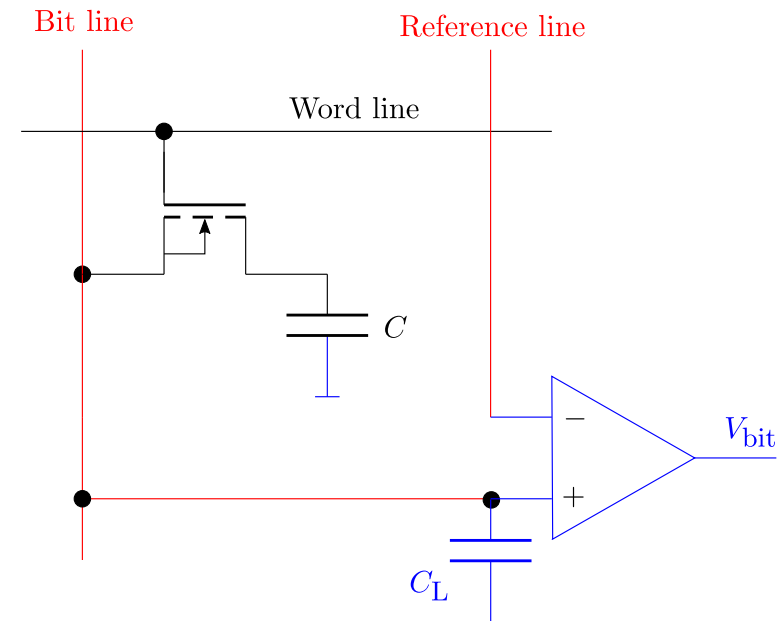


Abb. 9.36: DRAM mit Trench-capacitor (IBM, Stand 1996).

Konzept zur Arbeitsweise:

- s. Abb. 9.33
- $V_G = 0$: Speicherung der Ladungen
 - Kapazität C
 - typisch $C = 50 \text{ pF}$
- $V_G = 1$: Übertragung des Zustands der Spalte
 - differentielle Verstärkung (Bit line vs. Reference line)
- was verbirgt sich hinter „dynamisch“?
 - Selbstentladung von C mit $\tau \approx 2 \text{ ms}$
 - sowie zerstörendes Lesen
 - da parasitäre Kapazität der „bit line“ $C_L \approx 1 \text{ pF}$
 - reduziert die Ladungsmenge auf C
 - Wiederauffrischung (Refresh) von C durch:
 - Auslesen der Information
 - Wiedereinschreiben der Information



Beispiel:

- 1 MBit DRAM mit 512 Zeilen
- Zykluszeit für Refresh einer Zeile $t_i = 200 \text{ ns}$
- Zeitbedarf für gesamten Refresh $t_\Sigma = 0.1024 \text{ ms}$

Frage:

- Differenzverstärker für jedes Bit- Wordline-Paar?
- angemessen: gemeinsame Nutzung eines Verstärkers

Abb. 9.37: Zur Arbeitsweise einer DRAM-Zelle. Beim Ausleseprozess geht ein Teil der Ladung von C an die Ersatzkapazität C_L verloren.

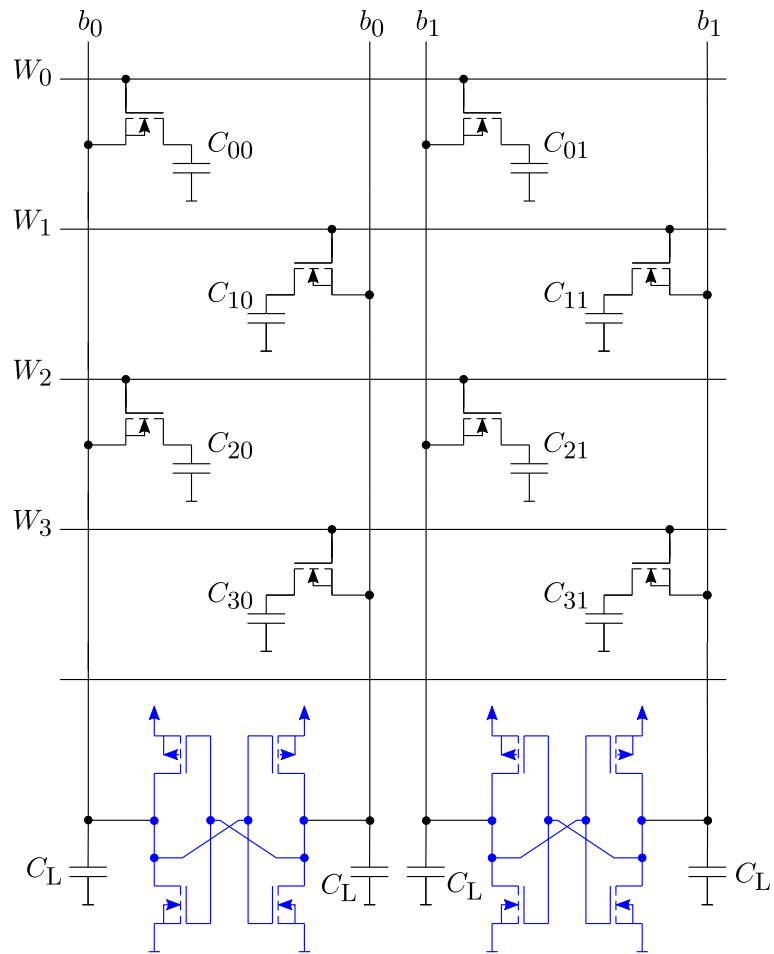


Abb. 9.38: Integration von Flip-Flops als Schreib-Leseverstärker. Nach Ref. [1], S. 722.

Auslese-Prozess:

- bringe Flip-Flop in metastabilen Zustand
- die geringe Ladung der Speicherzelle kippt das Flip-Flop

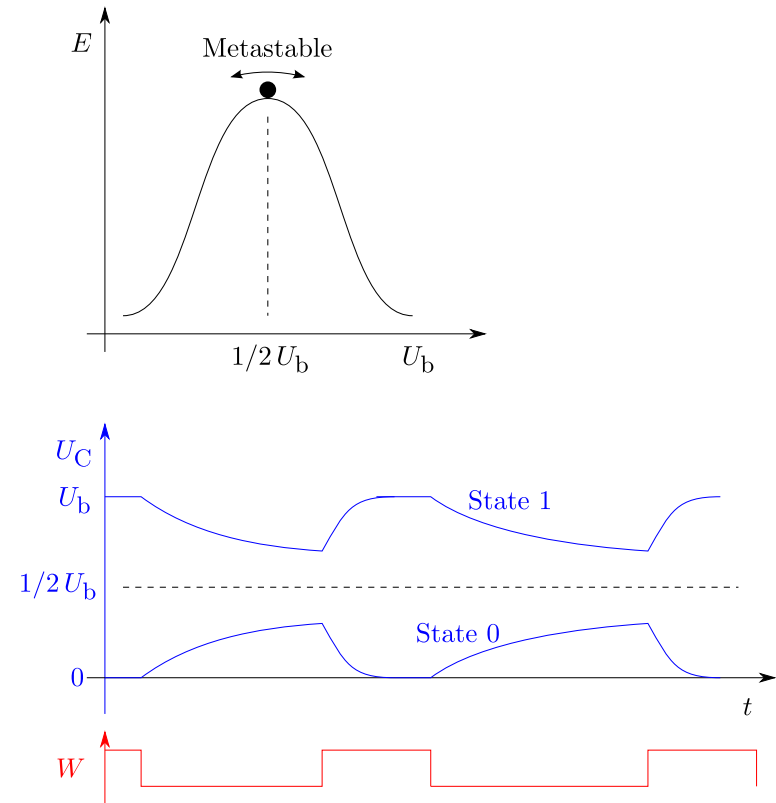


Abb. 9.39: Prozessablauf des Lesevorgangs und des Wieder-auffrischens. Nach Ref. [1], S. 722.

9.6.1 Adressierung von DRAM

Ausleseprozess: s. Abb. 9.40.

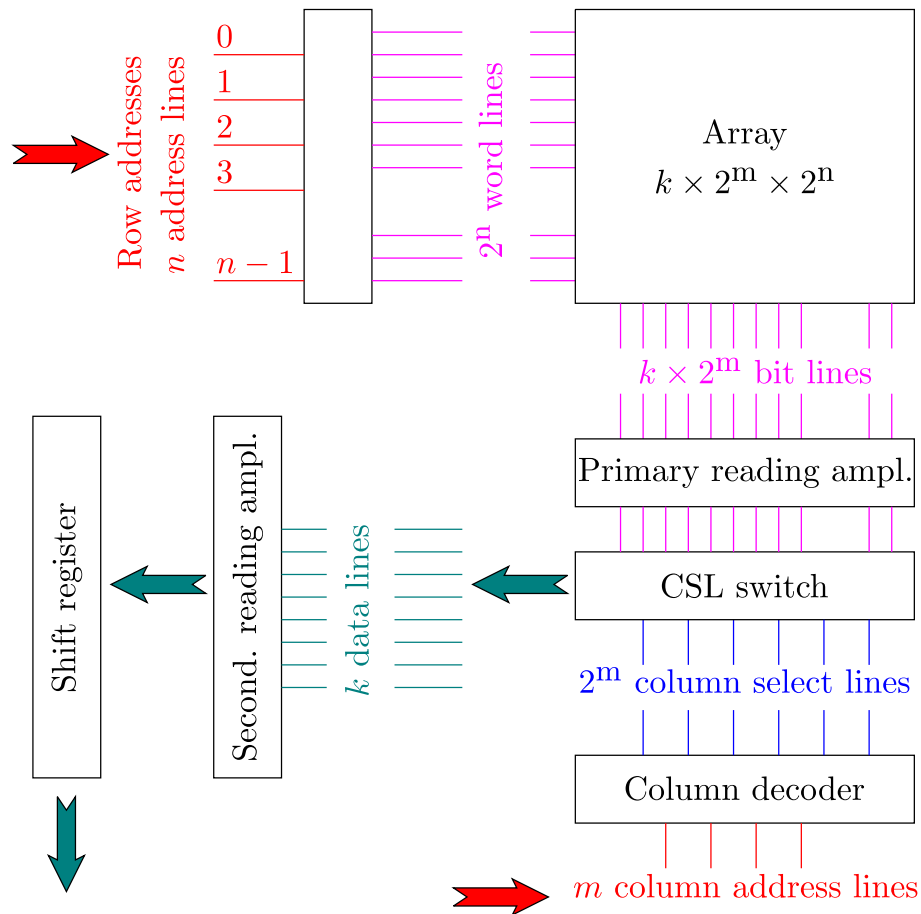


Abb. 9.40: Zur Adressierung von DRAM beim Ausleseprozess.

Schreibprozess:

- Ablauf ähnlich zu Abb. 9.40
- Schreibdaten werden an die CSL geleitet
 - CSL: chip select line
 - steuert den Prozess
 - bei CSL=LOW werden alle anderen Signale ignoriert
 - kann der Auswahl von Blöcken dienen
- die primären Leseverstärker sind relativ schwach
- reichen die einzuschreibenden Daten an die $k \times 2^n$ Bitleitungen durch

9.6.2 DRAM: Entwicklung der Technik

DRAM, Geschichte:

- Dynamic access memory
- IBM Thomas J. Watson Research Center (1966)
- Zeilen-/Spalten-Adressierung, MK4096 mit 4 kbit DRAM (1973)

Synchronous dynamic RAM (SDRAM):

- „burst mode“
- liest alle Daten entlang einer Address-line
- unterstützt das Ablegen von Daten in Sequenzen
- maximale Transferrate um 528 MB/s

Double data rate SDRAM (DDR-SDRAM):

- wie SDRAM, aber mit höheren Transferraten
- maximale Transferrate um 1 600 MB/s

Weiterentwicklungen:

- DDR2
- DDR3
- DDR4

Kosten (2018):

- 2 GB Speicher
(DDR4, 2400 MT/s, PC4-19200, SR x16, SODIMM, 260-Pin)
- Preis: ca. 35 EUR

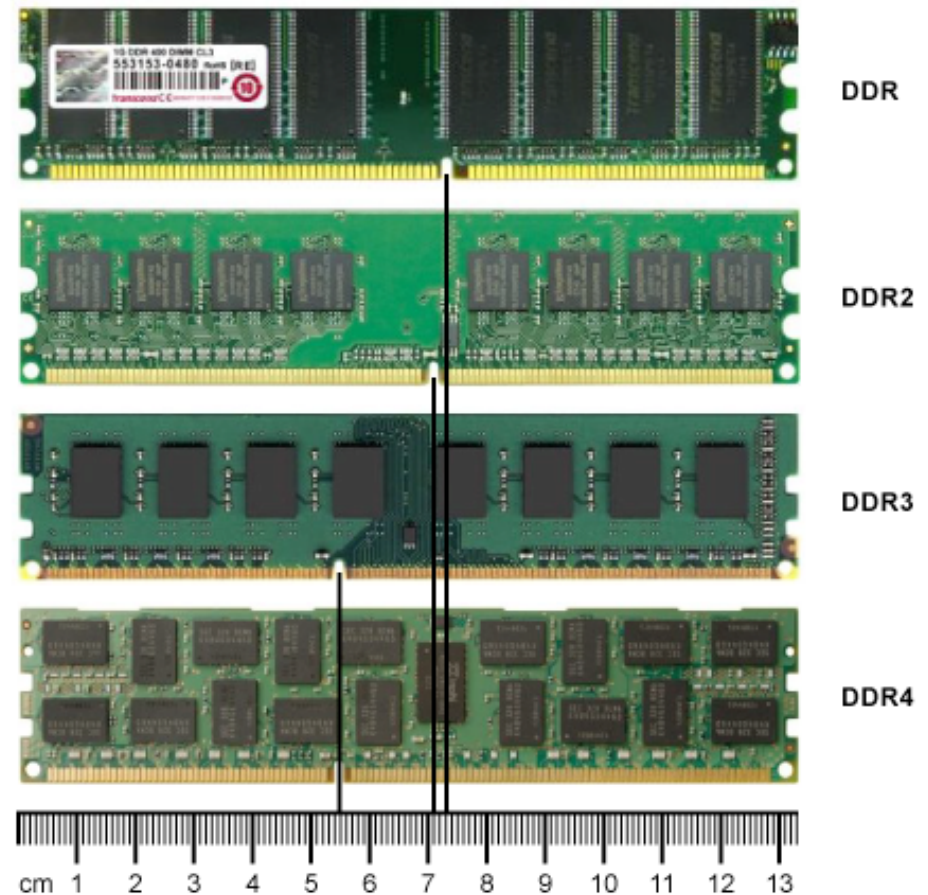


Abb. 9.41: DIMM-Module (Dual Inline Memory Module).
Quelle: elektronik-kompodium.de.

DDR SDRAM standard	Release year	Bus clock (MHz)	Int. clock (MHz)	Prefetch (min burst)	Transfer rate (MT/s)	Voltage (V) pins	DIMM pins	SO-DIMM pins	Micro-DIMM
DDR1	2000	100–200	100–200	2n	200–400	2.5/2.6	184	200	172
DDR2	2003	200 – 533	100–266	4n	400–1066	1.8	240	200	214
DDR3	2007	400–1066	100–266	8n	800–2133	1.5/1.35	240	204	214
DDR4	2014	1066–2133	133–266	8n	2133–4266	1.05/1.2	288	256	

Tab. 9.5: Weiterentwicklung von DDR-RAM. Quelle Wikipedia.

9.7 Magnetoresistiver RAM (MRAM)

Grundkonzept:

- Information als magnetisches Moment speichern
- Auslesen eines Widerstands
(read word line to bit line)

Ziele:

- permanenter Speicher
 - kein Speicherverlust bei Spannungsabfall
 - instantan startendes Betriebssystem
- beschreibbar
- mit DRAM-ähnlichen Zugriffszeiten
- mit SRAM-ähnlicher Speicherdichte

9.7.1 Magnetoresistiver Lese-Prozess

Technologie:

- lese den Widerstand einer Zelle aus
- s. Abb. 9.45
- anisotroper Magnetwiderstand
(anisotropic magnetoresistance, AMR)
- Riesenmagnetowiderstand
(giant magnetoresistance, GMR)
- magnetischer Tunnelwiderstand
(tunneling magnetoresistance, TMR)

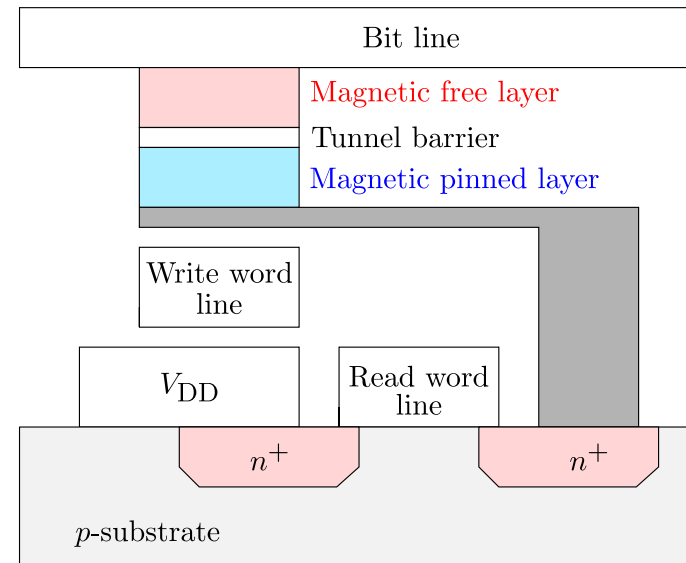


Abb. 9.42: Grundaufbau einer MRAM-Zelle.

9.7.2 Giant-Magnetoresistance

- Transfer von Elektronen durch ferromagnetisches Übergitter
- starke Streuung wenn Spin und Magnetisierung parallel
- schwache Streuung wenn Spin und Magnetisierung antiparallel
- Gesamtwiderstand hängt vom Spin der Elektronen ab
- Riesenmagnetowiderstand in Übergittern
- Anwendung: Leseköpfe in Festplatten (seit 1997)
- Nobelpreis: Peter Grünberg & Albert Fert (2007)

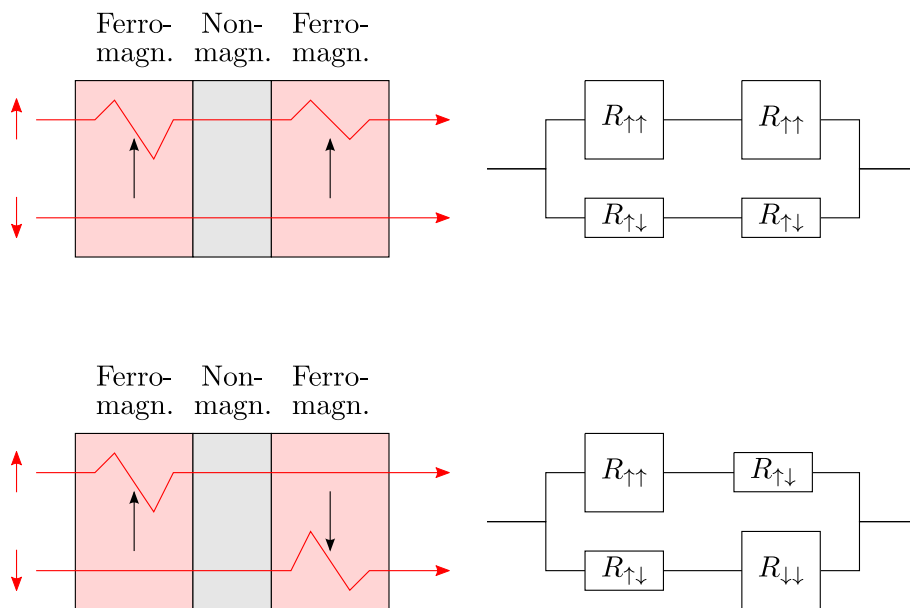


Abb. 9.43: Zum Riesenmagnetowiderstand.

9.7.3 Tunnel magnetoresistance

- „magnetic tunnel junction“
- spinabhängige DOS
- angelegte Spannung V
- spinabhängiger Tunnelstrom

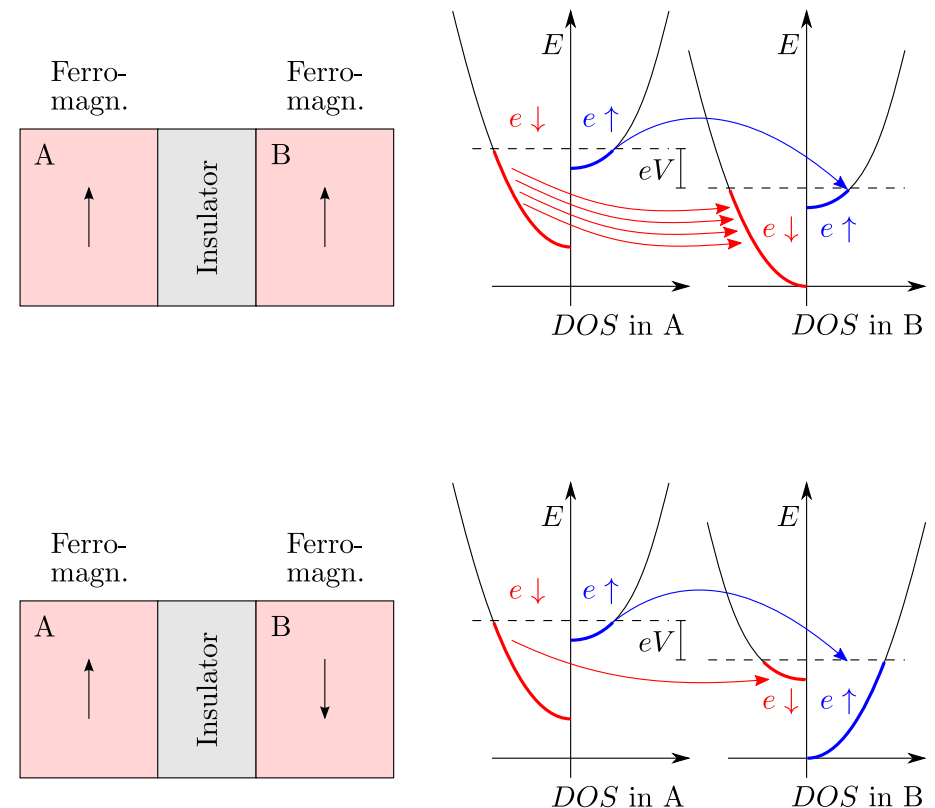


Abb. 9.44: Zum magnetischen Tunnelwiderstand.

9.7.4 Technologien für Schreibprozesse

Spin-Transfer-Torque RAM:

- zwei magnetische Materialien:
 - magnetisch hartes Material (H)
 - magnetisch weiches Material (S)
 - dazwischen „tunnel-junction“
- unmagn. Material: Spin-Anteile 50% \uparrow und 50% \downarrow
- Stromfluss durch das harte Material liefert $\uparrow_H = \uparrow$
- Übergang von \uparrow_H zu \uparrow_S
 - keine Drehung des Spins notwendig
 - kein Übertrag des Drehmoments
 - weiches Material bleibt im Zustand \uparrow_H
- Übergang von \uparrow_H zu \downarrow_S
 - der Spin wird gedreht
 - Übertrag eines Drehmoments
 - dreht die Magnetisierung des weichen Materials

Toggle-Write-RAM:

- ein Material des Tunnelkontakts ist ferromagnetisch
- starker Stromfluss durch „Write word line“ und „Bit Line“
- resultierendes Magnetfeld
- definiert das Moment des ferromagnetischen Materials

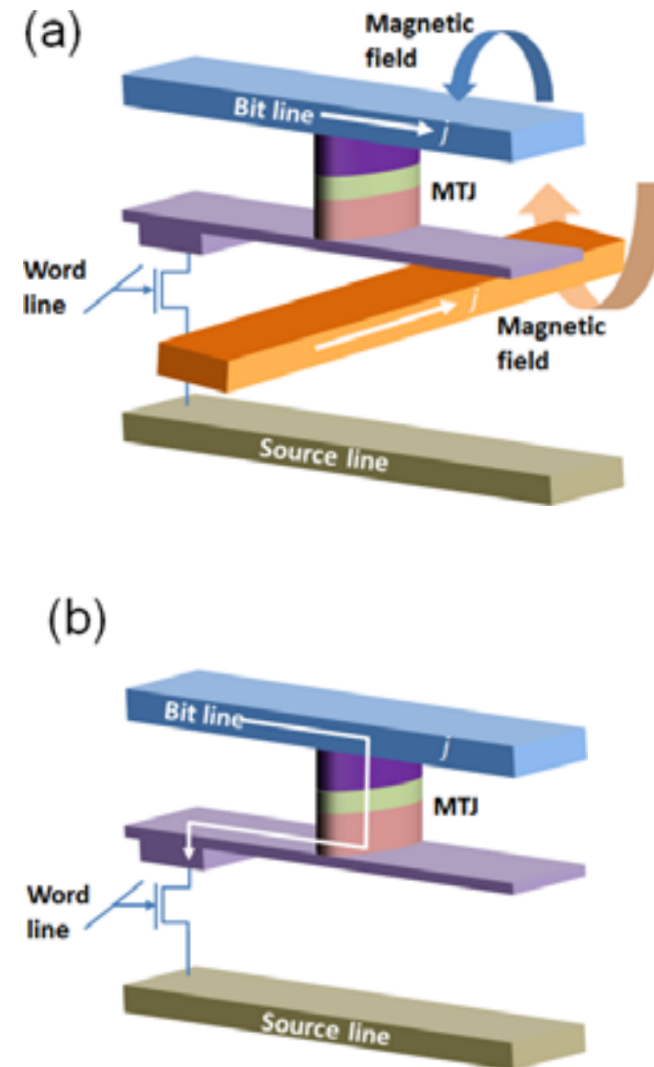


Abb. 9.45: a) Toggle-Write MRAM und b) STT-MRAM. Aus Ref. [9].

9.7.5 Stand MRAM 2018

Webseite von Everspin Technologies:

- Toggle MRAM
 - data retention: > 20 years
 - read/write speed: 35 ns
 - no wear-out
- Spin-torque MRAM
 - write cycles: 10^{12}
 - write time: 100 ns
 - DDR4 compatible spin-torque MRAM
 - Mouser: 256 MByte-Chips ca. 80 EUR

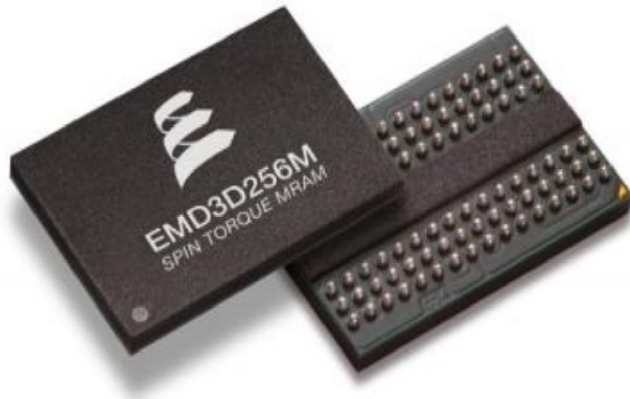


Abb. 9.46: ST-MRAM mit 256 MByte. Quelle: Pressemitteilung Everspin Technologies.